

# Modellierung der technologiebasierten Einflüsse auf das Bauteilverhalten gedruckter organischer Transistoren

Vom Fachbereich 18  
Elektrotechnik und Informationstechnik  
der Technischen Universität Darmstadt  
zur Erlangung der Würde eines  
Doktor-Ingenieurs (Dr.-Ing.)  
genehmigte Dissertation

von

Dipl.-Phys.  
**Sebastian Pankalla**  
geboren am 22. Dezember 1983  
in Ludwigshafen am Rhein

Referent:	Prof. Dr. Dr. h. c. mult. Manfred Glesner <i>Technische Universität Darmstadt</i>
1. Korreferent:	Prof. Dr.-Ing. Helmut Schlaak <i>Technische Universität Darmstadt</i>
2. Korreferent:	Prof. Dr.-Ing. Edgar Dörsam <i>Technische Universität Darmstadt</i>
Tag der Einreichung:	22.10.2013
Tag der mündlichen Prüfung:	22.01.2014

D17

Darmstadt 2014



### **Erklärung laut §9 PromO**

Ich versichere hiermit, dass ich die vorliegende Dissertation allein und unter Verwendung der angegebenen Literatur verfasst habe. Die Arbeit hat bisher noch nicht zu Prüfungszwecken gedient.





# Kurzfassung

Die klassische Mikroelektronik verwirklicht immer kleinere und schnellere Transistoren für immer performantere Anwendungen wie Zentral- und Grafikprozessoren. Die Herstellungsprozesse dieser siliziumbasierten Technologie stellen Vakuum- und Reinraumprozesse dar. Die gedruckte organische Elektronik realisiert im Gegensatz dazu preiswerte und großflächige Anwendungen durch Massenfertigungsverfahren wie der Drucktechnik. Hierfür stehen verschiedene Druckverfahren (konventionelle und digitale Druckverfahren) für eine breite Auswahl geeigneter funktionaler Materialien zur Verfügung. Die Druckqualität wird maßgeblich bestimmt durch die verwendeten Druckverfahren, Substrate und Materialien, die aufeinander angepasst werden müssen, da sonst schwankende Bauteilverhalten, Genauigkeiten und Auflösung des Druckergebnisses sowie Beschaffenheit der abgeschiedenen Schichten (Morphologie, Topographie) resultieren. Um jedoch elektronische Schaltungen auf Basis gedruckter organischer Transistoren mit hinreichend hoher Ausbeute entwickeln zu können, ist ein stabiler und zuverlässiger Herstellungsprozess notwendig.

Durch Analyse und Beschreibung, welche Prozessschritte bei der Herstellung eines organischen Transistors den Ladungstransport durch diesen und somit dessen Bauteilverhalten bestimmen, können Modelle für die Schaltungssimulation erstellt werden, die den physikalischen Prinzipien und Prozesseinwirkungen Rechnung tragen. Hierfür sind in dieser Arbeit die Einflüsse, die einzelne Prozessschritte während der Herstellung druckbarer organischer Transistoren auf das Bauteilverhalten ausüben, untersucht worden. Der Transportweg der Ladungsträger durch den Transistor ist verfolgt worden und wie dieser durch prozessbedingte Effekte beeinträchtigt wird. Durch eine physikalische Beschreibung konnte ein analytisches Modell, sowie durch Finite-Elemente-Simulationen ein numerisches Modell aufgestellt werden.

Für den Ladungstransport müssen Ladungen aus einem elektrischen Kontakt in den organischen Halbleiter injiziert werden. Bei dem in dieser Arbeit verwendeten Aufbau für organische Transistoren bildet sich zwischen den Metall-Kontakten (Elektroden) und dem Halbleiter eine Schottky-Barriere aus. Die Höhe der Schottky-Barriere ist materialspezifisch und wird im Prozess lediglich durch ein Self-Assembled-Monolayer angepasst. Den Einfluss der Schottky-Diode auf das Bauteilverhalten lässt sich durch den Kontaktwiderstand quantifizieren. Eine Plasmavorbehandlung der Elektroden vor Aufbringen des Halbleiters auf das Substrat kann den Kontaktwiderstand um mehrere Größenordnungen verringern. Durch FE-Simulationen konnte gezeigt werden, dass Verunreinigungen auf der Metall-Elektrode, die durch den plasmaunterstützten Reinigungsprozess verringert werden, die Injektion der Ladungsträger maßgeblich beeinträchtigen. Weiterhin begünstigt die Plasmabehandlung die Ausbildung einer homogenen Halbleiterschicht in der

Nähe der Metall-Elektroden. Durch Transistor-Modellstrukturen für die Finite-Elemente-Simulation ist gezeigt worden, dass sich insbesondere die Morphologie des Halbleiters an der Metall-Halbleiter-Grenzschicht auf den Kontaktwiderstand und somit die Injektion auswirkt.

Sobald Ladungsträger in den Transistorkanal injiziert worden sind, tragen sie zu einem Stromfluss im Transistor bei. Da sich der Aufbau organischer Transistoren von dem auf Siliziumbasis hergestellten unterscheidet, ist das elektrische Potential im Transistor analytisch hergeleitet worden und ein Ausdruck in geschlossener Form aufgestellt worden. Dieser ist in einer Monte-Carlo-Simulationsumgebung verwendet worden, um den individuellen Ladungsträgertransport zu simulieren. Durch diese allgemein gültige Simulationsumgebung sind Strom-Spannungs-Charakteristika simuliert worden. Übereinstimmungen mit den experimentell beobachteten Kennlinien konnten für die Ausgangs- und Transferkennlinie gezeigt werden. Für erstere konnte sowohl der lineare Bereich als auch der Sättigungsbereich der Kennlinie, für letztere der zu erwartende steile Anstieg im Strom simuliert werden. Bei der Simulation des zeitlichen Schaltverhaltens des Transistors steigt die Anzahl der Ladungsträger an der Drain-Elektrode bei einem angelegten Spannungspuls schnell an. Langsamere Ladungsträger führen jedoch dazu, dass die Anzahl der Ladungsträger mit der Zeit langsam abklingt.

Dass der Ladungsträgertransport im Transistor von der Art der Herstellung der funktionalen Schichten abhängt, lässt sich an der Geschwindigkeitsverteilung der Ladungsträger identifizieren. Durch Aufbringen des Halbleiters durch Drucken an Stelle von Spin-Coating ändert sich die Morphologie der Grenzschicht zwischen Halbleiter und Dielektrikum derart, dass mehr langsamere Ladungsträger am Transport teilnehmen. Die Herstellungsmethode des Dielektrikums zeigt keinen Einfluss.

Die Ladungsträger werden jedoch nicht nur durch die Morphologie an der Grenzschicht zwischen Halbleiter und Dielektrikum beeinträchtigt, sondern auch durch Verunreinigungen und strukturelle Defekte, sodass sich Ladungsträgerfallen ausbilden. Bei den Transistoren in der vorliegenden Arbeit befinden sich diese Ladungsträgerfallen sowohl an der Grenzschicht zwischen Halbleiter und Dielektrikum, als auch z.T. im Dielektrikum selbst.

In den in dieser Arbeit verwendeten organischen Transistoren findet Ladungsträgertransport jedoch nicht nur im organischen Halbleiter, sondern auch im organischen Dielektrikum statt und führt zu unerwünschten Leckströmen, die das Dielektrikum zerstören können und zu einem Leistungsverbrauch führen. Durch Finite-Elemente-Simulationen konnten Modellstrukturen für den Leckstrom durch das Dielektrikum entwickelt werden, die die Prozesse bei der Herstellung der Transistoren abbilden.

Die Herstellung der in dieser Arbeit verwendeten Transistoren führt trotz optimierter Injektion und Grenzflächen der funktionalen Schichten nach wie vor zu fluktuierenden elektrischen Bauteilparametern. Damit trotz variierenden Bauteilverhaltens Schaltungen konzipiert werden können, die im Rahmen vorher festgelegter Randbedingungen arbeiten, ist eine Monte-Carlo-Schaltungssimulationsumgebung aufgebaut worden, mittels derer ein Parameterfenster für in Schaltungen verwendete Transistoren aufgestellt werden kann. Transistoren, deren elektrische Parameter sich innerhalb dieses Fensters bewegen, führen dann zu Schaltungen mit definiertem Schaltungsverhalten.

Somit sind in der vorliegenden Arbeit die Prozesseinflüsse auf das elektrische Bauteilverhalten eines druckbaren organischen Transistors analytisch und numerisch beschrieben worden, aber auch, wie trotz schwankenden Bauteilverhaltens robuste Schaltungen aufgebaut werden können.

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Motivation . . . . .	1
1.2	Ziel dieser Arbeit . . . . .	2
1.3	Inhalt dieser Arbeit . . . . .	2
<b>2</b>	<b>Ladungstransport in organischen Halbleitern</b>	<b>5</b>
2.1	Ladungstransport in organischen Materialien . . . . .	5
2.2	Prinzipielle Funktionsweise eines (organischen) Feldeffekttransistor . . . . .	8
<b>3</b>	<b>Bauteilherstellung, -charakterisierung und Parameterextraktion</b>	<b>11</b>
3.1	Transistoraufbau . . . . .	11
3.2	Transistormessplatz . . . . .	15
3.3	Messvorschrift . . . . .	17
3.4	Parameterextraktion . . . . .	17
3.4.1	MOS-Modell . . . . .	17
3.4.2	Variable Range Hopping Modell . . . . .	18
3.4.3	Vergleich der Messkurven mit der Simulation . . . . .	20
3.5	Zusammenfassung . . . . .	20
<b>4</b>	<b>Injektion der Ladungsträger und Kontaktwiderstände</b>	<b>23</b>
4.1	Einführung . . . . .	23
4.2	Bestimmung des Kontaktwiderstandes . . . . .	26
4.3	Plasmaabhängiger spezifischer Kontaktwiderstand . . . . .	30
4.4	Spezifische Kontaktwiderstände für die verschiedenen Kategorien . . . . .	31
4.5	Schichtdickenabhängige spezifische Kontaktwiderstände . . . . .	31
4.6	Finite-Elemente-Simulation der spezifischen Kontaktwiderstände . . . . .	34
4.6.1	Finite-Elemente-Simulationsumgebung <i>Synopsys Sentaurus TCAD</i> . . . . .	34
4.6.1.1	Transistor-Modellstruktur . . . . .	36
4.6.1.2	Automatisierte TLM aus der FE-Simulation . . . . .	39
4.7	Zusammenfassung . . . . .	44

<b>5</b>	<b>Kanalpotential des organischen Dünnschichttransistors und Simulation des Ladungstransportes</b>	<b>47</b>
5.1	Motivation für die Herleitung eines analytischen Ausdrucks des Kanalpotentials . . . . .	48
5.2	Konforme Abbildung . . . . .	49
5.3	Laplace- und Poisson-Gleichung . . . . .	53
5.4	Vergleich des analytischen und numerischen Kanalpotentials . . . . .	54
5.5	Monte-Carlo Ladungstransportsimulation . . . . .	54
5.5.1	Ablauf der Monte-Carlo Simulation . . . . .	56
5.5.2	Visualisierung des Hüpf-Prozesses . . . . .	58
5.5.3	Ladungsträgerfallen . . . . .	60
5.5.4	Strom-Spannungs-Kennlinien . . . . .	60
5.5.5	Transiente Monte-Carlo Simulation des Ladungsträgertransportes . . . . .	62
5.6	Zusammenfassung . . . . .	63
<b>6</b>	<b>Prozessabhängige Geschwindigkeitsverteilung der Ladungsträger</b>	<b>65</b>
6.1	Einführung . . . . .	65
6.2	Auswahl der Proben . . . . .	66
6.2.1	Schichtmorphologie des organischen Halbleiters und Dielektrikums . . . . .	67
6.3	Messaufbau und Extraktion der Geschwindigkeitsverteilung . . . . .	70
6.3.1	Extraktion der energetischen Unordnung aus dem Variable Range Hopping (VRH) Modell . . . . .	73
6.4	Zusammenfassung . . . . .	76
<b>7</b>	<b>Ladungsträgerfallen</b>	<b>77</b>
7.1	Grundlagen zu Ladungsträgerfallen in organischen Halbleitern . . . . .	78
7.1.1	Detektionsverfahren für Ladungsträgerfallen . . . . .	79
7.2	Hysteresis in Strom-Spannungs-Kennlinien . . . . .	81
7.2.1	Mechanismen zur Bildung einer Hysteresis . . . . .	81
7.2.2	Messaufbau und Analyse der Hysteresis . . . . .	82
7.3	Zusammenfassung . . . . .	87
<b>8</b>	<b>Leckströme durch das Gate-Dielektrikum</b>	<b>89</b>
8.1	Einfluss der Leckströme auf die Ausbeute und das Bauteilverhalten . . . . .	90
8.2	(Qualitativer) Einfluss der self-assembled monolayers auf die Leckströme durch das Gate-Dielektrikum . . . . .	94
8.3	Modellstrukturen für die Simulation der Leckströme . . . . .	94
8.4	Zusammenfassung . . . . .	100

<b>9</b>	<b>Parameterfluktuation und Monte-Carlo-Schaltungssimulation</b>	<b>101</b>
9.1	Funktionalität . . . . .	102
9.1.1	Einfluss der Transistorkanalweite $W$ . . . . .	102
9.1.2	Einfluss der Transistorkanallänge $L$ . . . . .	102
9.2	Parameterfluktuation und Monte-Carlo-Schaltungssimulation . . . . .	104
9.2.1	Analyse der statistischen Verteilung der elektrischen Parameter der Transistoren . . . . .	104
9.2.2	Inverter Simulation . . . . .	105
9.2.2.1	Bestimmung der Parameterfenster aus der Transferkennliniensimulation des Inverters . . . . .	108
9.2.2.2	Überlappung des Parameterfensters . . . . .	111
9.2.2.3	Bestimmung der Parameterfenster aus dem transienten Verhalten des Inverters . . . . .	113
9.2.2.3.1	Dynamisches Transistor Modell zur Schaltungssimulation . . . . .	113
9.2.2.3.2	Parameterfensterbestimmung durch dynamische Monte-Carlo-Schaltungssimulation . . . . .	116
9.3	Zusammenfassung . . . . .	119
<b>10</b>	<b>Zusammenfassung und Ausblick</b>	<b>121</b>
10.1	Zusammenfassung . . . . .	121
10.1.1	Beiträge dieser Arbeit . . . . .	121
10.2	Ausblick . . . . .	123
<b>A</b>	<b>Matlab Code: Monte-Carlo Ladungstransportsimulation und Transistor-Modellstruktur boxes</b>	<b>127</b>
<b>B</b>	<b>Sentaurus Code: Sentaurus SDEVICE Simulation</b>	<b>149</b>
	<b>Literaturverzeichnis</b>	<b>174</b>



# Übersicht der verwendeten Abkürzungen

CAD	Computer-Aided-Design
DOS	Density of States
FE	Finite-Elemente
GCA	Gradual Channel Approximation
HOMO	Highest Occupied Molecular Level
LUMO	Lowest Unoccupied Molecular Level
MOSFET	Metall-Oxid-Halbleiter (Metal-Oxide-Semiconductor) Feldeffekttransistor
NPLC	Number Of Power Line Cycles
OTFT	Organic Thin Film Transistor
SAM	Self-Assembled-Monolayer
SMU	Source-Measurement-Unit
TCAD	Technology Computer-Aided-Design
TLM	Transfer Line Methode
VRH	Variable Range Hopping





# Übersicht der verwendeten Symbole

$A_C$	Kanalfläche
$A_{GD}$	Überlappfläche zwischen Gate- und Drain-Elektrode
$A_{GS}$	Überlappfläche zwischen Gate- und Source-Elektrode
$A^*$	effektive Richardson-Konstante
$C_{GS,c}$	Kanalkapazität in der Nähe der Source-Elektrode
$C_{GS,O}$	Überlappkapazität zwischen Gate- und Source-Elektrode
$C_{GD,c}$	Kanalkapazität in der Nähe der Drain-Elektrode
$C_{GD,O}$	Überlappkapazität zwischen Gate- und Drain-Elektrode
$C_{OX}$	flächenbezogene Kapazität der Oxidschicht bzw. des Dielektrikums
$D_n$	Diffusionskonstante der Elektronen
$D_p$	Diffusionskonstante der Löcher
$E_F$	Fermi-Energie
$E_{F,M}$	Fermi-Energie eines Metalls
$E_{F,SC}$	Fermi-Energie eines Halbleiters
$E_g$	Bandlücke
$E_x$	Komponente des elektrischen Feldes in x-Richtung
$E_y$	Komponente des elektrischen Feldes in y-Richtung
$I_D$	Strom aus der Drain-Elektrode
$I_{DS}$	Drain-Source-Strom
$I_G$	Strom aus der Gate-Elektrode
$I_{GS}$	Gate-Source-Strom
$I_{GD}$	Gate-Drain-Strom
$I_S$	Strom aus der Source-Elektrode
$J_M$	Stromdichte durch einen leitenden Isolator
$k_B$	Boltzmann-Konstante
$L$	Transistorkanallänge
$N_C$	Zustandsdichte für Elektronen im Leitungsband
$N_V$	Zustandsdichte für Löcher im Valenzband
$NM_H$	obere Noise Margin
$NM_L$	untere Noise Margin
$P_{ij}$	Hüpf-Wahrscheinlichkeit
$Q_{surf}$	Oberflächenladung
$q$	Elementarladung

$R_C$	Kontaktwiderstand
$R_{CH}$	Kanalwiderstand
$R_{CD}$	Kontaktwiderstand der Drain-Elektrode
$R_{CS}$	Kontaktwiderstand der Source-Elektrode
$R_{GD}$	Widerstand zwischen der Gate- und Drain-Elektrode im Dielektrikum
$R_{GS}$	Widerstand zwischen der Gate- und Source-Elektrode im Dielektrikum
$R_L$	Lastwiderstand
$R_{tot}$	totaler Widerstand
$R_{ij}$	Abstand der hopping sites
$R_{re}$	Rate zum Freilassen von Ladungsträgern
$R_{tr}$	Rate zum Einfangen von Ladungsträgern
$T_0$	Breite der DOS
$r_i, r_j$	Vektor der Koordinaten der hopping sites
$t_{fall}$	Abfallzeit
$t_{rise}$	Anstiegszeit
$v$	Geschwindigkeit
$V_{bulk}$	Potential des Bulks
$V_{DD}$	Versorgungsspannung
$V_D$	Potential an der Drain-Elektrode
$V_G$	Potential an der Gate-Elektrode
$V_{GS}$	Gate-Source-Spannung
$V_{GD}$	Gate-Drain-Spannung
$V_{DS}$	Drain-Source-Spannung
$V_S$	Potential an der Source-Elektrode
$V_T$	Schwellspannung
$V_{TN}$	Schwellspannung eines n-Kanal OTFTs
$V_H$	HIGH-Pegel
$V_L$	LOW-Pegel
$V_{IL}$	maximale Eingangsspannung, die als logische „0“ angesehen werden kann
$V_{IH}$	maximale Eingangsspannung, die als logische „1“ angesehen werden kann
$V_{OL}$	minimale Ausgangsspannung während einer logischen „0“
$V_{OH}$	maximale Ausgangsspannung während einer logischen „1“
$W$	Transistorkanalweite
$\alpha$	Überlapp der Wellenfunktion
$\gamma$	Parameter für die feldabhängige Mobilität
$\gamma_{max}$	Obergrenze der Verteilung des Parameters $\gamma$
$\gamma_{min}$	Untergrenze der Verteilung des Parameters $\gamma$
$\Delta\Phi_{ij}$	Energieverschiebung von hopping sites
$\delta t$	Zeitvariation

$\epsilon_0$	Vakuum-Permittivität
$\epsilon_r$	relative Permittivität
$\epsilon$	Energie eines Zustandes
$\lambda$	Kanallängenmodulationsfaktor
$\mu$	Mobilität
$\mu_{FE}$	feldabhängige Mobilität
$\mu_{Gauss}$	Erwartungswert der Energie eines gaussverteilten Zustandes
$\bar{\mu}_\mu$	Erwartungswert der Mobilität
$\mu_{\bar{V}_T}$	Erwartungswert der Schwellspannung
$\bar{\mu}_\lambda$	Erwartungswert des Kanallängenmodulationsfaktors
$\nu_{ij}$	Hüpf-Frequenz
$\nu_0$	Attempt-to-escape Frequenz
$\rho$	Ladungsträgerdichte
$\sigma$	Breite einer Verteilung
$\sigma_{CI}$	Leitfähigkeit eines leitenden Isolators
$\sigma_{Gauss}$	Varianz der Energie eines gaussverteilten Zustandes
$\sigma_\mu$	Standardabweichung der Mobilität
$\sigma_{V_T}$	Standardabweichung der Schwellspannung
$\sigma_\lambda$	Standardabweichung des Kanallängenmodulationsfaktors
$\tau_h$	Verweildauer
$\tau_{re}$	Release Time
$\tau_{tr}$	Trapping Time
$\tau_p$	Gesamtverzögerungszeit
$\tau_{PLH}$	Zeit zum Erreichen des HIGH-Pegels, ausgehend vom LOW-Pegel
$\tau_{PHL}$	Zeit zum Erreichen des LOW-Pegels, ausgehend vom HIGH-Pegel
$\Phi_B$	Schottky-Barrierenhöhe
$\Phi_{B,eff.}$	effektive Schottky-Barrierenhöhe
$\Phi_{Bp}$	Schottky-Barrierenhöhe für Löcher
$\Phi_{Bn}$	Schottky-Barrierenhöhe für Elektronen
$q\Phi_M$	Austrittsarbeit eines Metalls
$q\Phi_{SC}$	Austrittsarbeit eines Halbleiters
$\Phi_{CI}$	Fermi-Potential im leitenden Isolator
$\Phi_D$	Randbedingung des Potentials an der Drain-Elektrode
$\Phi_{diel}$	Randbedingung des Potentials unterhalb des Dielektrikums
$\Phi_S$	Randbedingung des Potentials an der Source-Elektrode
$\chi$	Elektronenaffinität



# Tabellenverzeichnis

3.1	Geometrien rechteckiger und runder interdigitaler Transistoren . . . . .	13
3.2	Layoutbezogene Übersicht der Mobilität $\mu$ und Schwellspannung $V_T$ . . . .	19
4.1	Mögliche Permutationen pro Kategorie . . . . .	29
4.2	Probenübersicht und Prozessparameter . . . . .	30
4.3	Übersicht der Simulationsparameter für <i>Sentaurus TCAD</i> . . . . .	36
4.4	Extrahierte spezifische Kontaktwiderstände aus der FE-Simulation . . . . .	44
5.1	Aus der <i>Sentaurus TCAD</i> extrahierte Ableitungen $\left  \frac{\partial E_x}{\partial x} \right $ und $\left  \frac{\partial E_y}{\partial y} \right $ . . . . .	51
5.2	Simulationsparameter für die Monte-Carlo-Simulation . . . . .	58
6.1	Zuordnung der Proben zum verwendeten Beschichtungsverfahren . . . . .	68
6.2	Mittlere Schichtdicken und Standardabweichungen von Halbleiter und Dielektrikum . . . . .	68
6.3	Mobilitäten und Schwellspannungen der gemessenen Transistoren . . . . .	73
8.1	Übersicht der hergestellten Proben . . . . .	92
8.2	Mittlere Schichtdicken und Standardabweichung der hergestellten Dielektrikumsschichten . . . . .	92
8.3	Ideale und experimentell bestimmte Gate-Source-Spannungen, für die der Leckstrom $I_G=0$ A . . . . .	96
9.1	Erwartungswerte und Standardabweichung der Variable-Range-Hopping Parameter . . . . .	105
9.2	Zur Verfügung stehende $\frac{W}{L}$ -Verhältnisse von $OTFT_1$ und $OTFT_2$ . . . . .	111
9.3	Erwartungswerte und Standardabweichungen der VRH-Parameter . . . . .	112
9.4	Gate- und Überlappkapazitäten . . . . .	116



# Abbildungsverzeichnis

2.1	$\sigma$ - und $\pi$ -Bindungen in Ethylen und konjugiertes $\pi$ -Elektronensystem . . .	6
2.2	Modell des Potenzialtopfes für das VRH-Modell und Vergleich des Ladungsträgertransportes zwischen organischem Halbleiter und Silizium . . .	7
2.3	Prinzipieller Aufbau und Funktionsweise eines MOS-Feldeffekttransistors .	8
2.4	Unterschied zwischen einem MOSFET und einem OTFT . . . . .	10
3.1	Layout eines Substrates . . . . .	12
3.2	Arbeitsablauf der Transistorherstellung. . . . .	14
3.3	Schematischer Transistorquerschnitt . . . . .	14
3.4	Automatisierter Reihennessplatz . . . . .	16
3.5	Vergleich des MOS-Modells mit exemplarischer $I_{DS}$ vs. $V_{DS}$ Ausgangskennlinienschar und $I_{DS}$ vs. $V_{GS}$ Transferkennlinien . . . . .	21
3.6	Vergleich des VRH-Modells mit exemplarischer $I_{DS}$ vs. $V_{DS}$ Ausgangskennlinienschar und $I_{DS}$ vs. $V_{GS}$ Transferkennlinien . . . . .	22
4.1	Bänderschema für den Metall-Halbleiter-Übergang . . . . .	24
4.2	Bandverbiegung des HOMOs aufgrund unterschiedlicher Spannungen, die am Halbleiter anliegen . . . . .	25
4.3	Modellstruktur für einen Transistor, wobei sich Schottky-Dioden an der Source- und der Drain-Elektrode ausbilden. . . . .	25
4.4	Ausgangscharakteristik eines OTFTs mit großem und kleinem Kontaktwiderstand . . . . .	25
4.5	Gesamtwiderstand $R_{tot}$ aus der TLM-Extraktion . . . . .	27
4.6	Klassifikation der Transistoren in Distanz vom Zentrum und verschiedene Geometrien . . . . .	28
4.7	Vergleich des extrahierten spezifischen Kontaktwiderstandes und der Schwellspannung für die unterschiedlichen untersuchten Proben sowie nach der Distanzklassifikation . . . . .	32
4.8	Schematischer Querschnitt eines OTFT zur Verdeutlichung der Schichtausbildung . . . . .	32

4.9	Schwellspannung und Mobilität als Funktion der Transistorkanallänge $L$ und -weite $W$ . . . . .	33
4.10	Typischer Simulationsablauf in <i>Sentaurus TCAD</i> . . . . .	37
4.11	Transistor-Modellstrukturen in <i>Sentaurus Structure Editor</i> . . . . .	38
4.12	Tensorgitter an der Source-Elektrode . . . . .	39
4.13	Simulierter spezifischer Kontaktwiderstand $R'_C$ für zwei Drain-Source-Spannungen als Funktion der Schottky-Barrierenhöhe $\Phi_{Bp}$ . . . . .	40
4.14	Simuliertes elektrostatisches Potential im Transistorkanal . . . . .	41
4.15	Vergleich der Stromdichten zwischen einer simulierten Ausgangskennlinie für die Transistor-Modellstruktur <b>pure</b> und der Probe Ar-300-2% . . . . .	42
4.16	TLM-Ausgleichgeraden und durch Extrapolation erhaltene spezifischen Kontaktwiderstände $R'_C$ für die vier Transistor-Modellstrukturen . . . . .	43
5.1	Schematischer Vergleich zwischen dem Aufbau eines MOSFETs (a) und eines OTFTs . . . . .	48
5.2	Feldstärke $E_x$ und Ableitung $\frac{\partial E_x}{\partial x}$ . . . . .	50
5.3	Feldstärke $E_y$ und Ableitung $\frac{\partial E_y}{\partial y}$ . . . . .	50
5.4	Querschnitt durch die Transistor-Modellstruktur an der Source-Elektrode und Extrahierung der Ableitungen $\left  \frac{\partial E_x}{\partial x} \right $ und $\left  \frac{\partial E_y}{\partial y} \right $ . . . . .	51
5.5	OTFT Struktur vor und nach konformer Abbildung . . . . .	52
5.6	Die OTFT-Modell-Struktur in der $z$ -Ebene mit generiertem Netz sowie analytisch berechnetes elektrisches Potential . . . . .	55
5.7	Vergleich des numerisch simulierten und analytisch berechneten Oberflächenpotentials sowie berechnete Transferkennlinie . . . . .	55
5.8	Blockdiagramm des Algorithmus für die Monte-Carlo Simulation . . . . .	59
5.9	3D- und 2D-Visualisierung des Hüpf-Prozesses . . . . .	60
5.10	2D-Visualisierung einer Ladungsträgerfalle . . . . .	61
5.11	Berechnete $I_{DS}$ vs. $V_{DS}$ Ausgangskennlinienschar und $I_{DS}$ vs. $V_{GS}$ Transferkennlinienschar . . . . .	62
5.12	Transiente Antwort der Transistor-Modellstruktur beim Anlegen eines Spannungspulses an der Source-Elektrode . . . . .	63
6.1	Schematische Ansicht der Schichtmorphologie . . . . .	67
6.2	Oberflächentopographie an der Kante zwischen Glassubstrat und Dielektrikum . . . . .	69
6.3	Normierte transiente Antwort des Stromes des OTFTs und Normalisierte Anzahl von Ladungsträgern, die an der Drain-Elektrode ankommen . . . . .	70
6.4	Experimenteller Aufbau für transiente Messungen . . . . .	71
6.5	Geschwindigkeitsverteilung der Ladungsträger in den Transistoren . . . . .	72



6.6	Exemplarische $I_{DS}$ vs. $V_{DS}$ Ausgangskurven und $I_{DS}$ vs. $V_{GS}$ Transferkurven	74
6.7	Variation der Breite der Zustandsdichte . . . . .	75
7.1	Verteilung der Zustandsdichten für HOMO- und LUMO-Level eines organischen Halbleiters . . . . .	79
7.2	Relaxationsmessung ( $V_{DS}=V_{GS}=0$ V) des Drain-Source-Stromes $I_{DS}$ . . . . .	80
7.3	Prozesse, die zur Hysterese führen . . . . .	81
7.4	Einfluss der Messgeschwindigkeit auf die Hysterese und den Drain-Source-Strom . . . . .	83
7.5	Zeitlicher Abfall des Drain-Source-Stromes während konstant angelegter Drain-Source- und Gate-Source-Spannungen . . . . .	85
7.6	Einfluss verschiedener Gate-Source-Vorspannungen auf das zeitliche Verhalten des Drain-Source-Stromes . . . . .	86
7.7	20 Wiederholungen bei mittlerer Messgeschwindigkeit von Ausgang- und Transferkennlinien . . . . .	87
8.1	Vergleich der typischen Größenordnung der Transferkennlinie sowie der Ausgangskennlinie und des entsprechenden Leckstromes während dieser Kennlinienmessung . . . . .	91
8.2	Ausbeute der Substrate . . . . .	93
8.3	Topographieaufnahme der untersuchten Transistorstruktur . . . . .	95
8.4	Vergleich der typischen Größenordnung der Transferkennlinie und des Leckstromes . . . . .	96
8.5	Vergleich des Leckstromverhaltens bei Applizierung von SAM auf den Elektroden . . . . .	97
8.6	Schematische Modellstruktur für das Dielektrikum mit ohmschen Verhalten und Vergleich der typischen Größenordnung der Transferkennlinie und des Leckstromes . . . . .	98
8.7	Schematische Modellstruktur für das Dielektrikum mit nichtlinearem Verhalten und Vergleich des experimentellen und simulierten Gate-Leckstromes	99
9.1	Abhängigkeit der Funktionalität von der Transistorkanalweite $W$ und -länge $L$ . . . . .	103
9.2	Häufigkeitsverteilungen und Ausgleichskurven der elektrischen Modellparameter $\mu$ , $V_T$ , $\gamma$ und $\lambda$ . . . . .	106
9.3	Schemazeichnung zweier Transistoren, die zu einem Inverter verschaltet wurden und Spannungspegel bei der Transferkennlinie eines Inverters. . .	107
9.4	Noise Margin Histogramm als Ergebnis nach 1500 Simulationen. . . . .	107
9.5	Noise Margin Histogramm nach Anwendung des Filters und Transferkennlinien von $N = 1500$ simulierten Invertern nach Filterung . . . . .	109
9.6	Parameterfenster für gefilterte Noise Margin . . . . .	110

9.7	Abhängigkeit der Noise Margin von $V_{TN}$ und $\gamma$ . . . . .	110
9.8	Überlappung der Parameter Schwellspannung $V_T$ , Mobilität $\mu$ und $\gamma$ und Anteil der verbliebenen Monte-Carlo-Simulationen nach Anwendung des Filters . . . . .	112
9.9	Überlappung der Parameter Schwellspannung $V_T$ , Mobilität $\mu$ und $\gamma$ und Anteil der verbliebenen Monte-Carlo-Simulationen nach Anwendung des Filters . . . . .	112
9.10	Der systematische Fehler aus der Messung und der Bestimmung aus dem Modell des Plattenkondensators für die Überlappkapazität zwischen Gate und Source und zwischen Gate und Drain . . . . .	114
9.11	p-Kanal OTFT Bauteilkapazitäten . . . . .	115
9.12	Dynamisches OTFT Modell . . . . .	115
9.13	Schematische Darstellung eines angelegten Spannungspulses an den Eingang des Inverters und Darstellung der Verzögerung der Anstiegs- und Abfallflanken am Ausgang . . . . .	117
9.14	Histogramm der Verzögerungszeiten des Inverters vor Anwendung von Filtern . . . . .	118
9.15	Parameterfenster für eine Gesamtverzögerungszeit von weniger als 0,6 ms .	118

# Kapitel 1

## Einleitung

### Inhalt

1.1	Motivation . . . . .	1
1.2	Ziel dieser Arbeit . . . . .	2
1.3	Inhalt dieser Arbeit . . . . .	2

### 1.1 Motivation

Innerhalb der letzten Jahrzehnte nahmen Errungenschaften in der Elektronik einen großen Einfluss auf unsere Gesellschaft. Seit der Entwicklung des Transistors durch Schockley, Bardeen und Brattain 1947, wofür 1956 der Nobelpreis in Physik vergeben wurde, sind Materialien wie Galliumarsenid, Silizium, Aluminium und Kupfer die wichtigsten in der Halbleiterindustrie [76]. Der weitere Fortgang der Elektronik wurde von Gordon Moore 1965 vorhergesagt, wonach die Komplexität integrierter Schaltungen sich alle 18 bis 24 Monate verdoppelt. Die Miniaturisierung führt zu immer schnelleren Transistoren und zu einer Kostenreduktion pro Schaltung bzw. zu einem größeren Schaltungsumfang pro Fläche bei gleichen Kosten.

Mit der Entdeckung organischer Polymere mit elektrisch leitenden Eigenschaften, wofür 2000 der Nobelpreis der Chemie vergeben wurde, und durch die Herstellung des ersten organischen Transistors 1986 durch Tsumura [89], wurde der Weg für die flexible und organische Elektronik geebnet. Das Interesse, Elektronik auf Basis organischer Materialien herzustellen, wuchs, da hier ein zusätzlicher Markt vorhergesagt wurde.

Die organische Elektronik überzeugt jedoch nicht nur durch mechanische Flexibilität und optische Transparenz, sondern steht auch für Kostenreduzierungen in der Herstellung [20, 53, 80], die durch zwei Faktoren realisiert werden kann: Zum einen sind Folien-substrate und Polymere günstiger als strukturierte Siliziumwafer, zum anderen können organische elektronische Materialien in Massenerstellungsverfahren flüssigprozessiert werden. Dies ist ein neuer Ansatzpunkt für die Druckindustrie. Druckprozesse stellen altbekannte Prozesse dar mit hohen Durchsätzen zu geringen Produktionskosten. Vergli-

chen mit Aufdampfkammern oder dem Equipment für die Lithographie arbeiten Druckmaschinen schnell und unter komfortablen Umgebungsbedingungen - so ist z.B. kein Reinraum nötig.

Die gedruckte Elektronik weist jedoch nicht die Leistung auf, wie sie Bauteile auf Siliziumbasis erreichen, sodass hier ein Feld für Verbesserungen offen ist. Die Auflösung der hergestellten Strukturen ist vergleichsweise gering. Die Ausbeute wie auch das elektrische Bauteilverhalten sind schlechter, wenn die Bauteilherstellung vom Aufdampfen der funktionalen Schichten über Spin-Coating hin zum Drucken geändert wird. Zusätzlich unterscheiden sich die dem Transport der Ladungsträger zugrunde liegenden physikalischen Prinzipien von denen der anorganischen Siliziumelektronik, sodass die bereits bestehenden Modelle für siliziumbasierte Transistoren nicht geeignet sind um organische Transistoren zu beschreiben. Die Entwicklung von mikroelektronischen Schaltungen und dadurch Anwendungen ist jedoch ohne robuste Computer-Aided-Design (CAD) Werkzeuge kaum denkbar. Diese CAD-Werkzeuge benötigen akkurate Modelle zur Beschreibung des Verhaltens von Bauteilen, die in Schaltungen verwendet werden. Derartige Modelle müssen eine schnelle und hinreichend genaue Schaltungssimulation zulassen, sodass hierfür nur analytische Modelle in Frage kommen. Solche können jedoch nur entwickelt werden, wenn die physikalischen Prozesse in einem gedruckten organischen Transistor verstanden und beschrieben worden sind.

## 1.2 Ziel dieser Arbeit

Das Ziel dieser Arbeit ist die Beschreibung der Einflüsse, die der Herstellungsprozess gedruckter organischer Transistoren auf das Bauteilverhalten ausübt. Erst wenn verstanden worden ist, inwieweit welcher Prozessschritt das elektrische Verhalten verändert, lässt sich hieraus ein, durch physikalische Beschreibungen erhaltenes, analytisches Modell ableiten, das zur Schaltungssimulation geeignet ist. Hauptaugenmerk dieser Arbeit liegt darin, den Weg der Ladungsträger durch den gedruckten organischen Transistor, begonnen bei der Zurverfügungstellung der Ladungsträger, über den Transport durch die funktionalen Schichten eines Transistors, nachzuverfolgen, und zu bestimmen, welche prozessbedingten Einflüsse den Ladungstransport behindern und somit das Bauteilverhalten verändern. Dadurch soll ein analytisches und numerisches Modell des gedruckten organischen Transistors aufgestellt werden, mittels dessen zukünftig weitere Prozesseinflüsse auf das elektrische Bauteilverhalten beschrieben werden können, die zu einer Optimierung des Herstellungsprozesses für gedruckte organische Transistoren führen.

## 1.3 Inhalt dieser Arbeit

Die vorliegende Arbeit entstand im Rahmen des Spitzenclusters „forum organic electronics“, einem „Kooperationsnetzwerk aus derzeit 30 Unternehmen, Hochschulen und Forschungsinstituten, die gemeinsam die Entwicklung der Zukunftstechnologie Organische Elektronik (...) vorantreiben“. Dabei wird entlang der gesamten Wertschöpfungskette der Organischen Elektronik eng zusammengearbeitet, beginnend bei der der Forschung und Entwicklung neuer Materialien, bis hin zur Konzeptio-

nierung von Prozessen und Bauteilen [41]. In Zusammenarbeit mit dem Institut für Druckmaschinen und Druckverfahren der Technischen Universität Darmstadt sind in dieser Arbeit Prozesse für die Herstellung gedruckter organischer Transistoren evaluiert sowie Methoden für die Prozesscharakterisierung und Modelle der Prozesseinflüsse erstellt worden. Diese Arbeit ist folgendermaßen aufgebaut und orientiert sich an dem Transportweg der Ladungsträger in einem gedruckten organischen Transistor:

Begonnen wird mit den Grundlagen des Ladungsträgertransportes in organischen Materialien im Vergleich zum Transport in Silizium.

Im Anschluss wird auf die Herstellung organischer Transistoren eingegangen, die für diese Arbeit verwendet wurden, und der aufgebaute automatisierte elektrische Messplatz zur Parameterextraktion erläutert.

Der Stromtransport durch einen Transistor beginnt mit der Injektion der Ladungen aus einem Kontakt in den Halbleiter und endet mit Extraktion aus dem Halbleiter in einen Kontakt. Kapitel 4 erläutert deshalb die Ausbildung von Injektionsbarrieren für Ladungsträger und wie diese prozessbedingt verändert werden können, wofür experimentelle und Finite-Elemente-Simulationsmethoden (FE-Simulationen) verwendet werden.

Haben Ladungsträger die Injektionsbarriere überwunden, tragen sie zum Ladungsträgertransport durch den organischen Halbleiter bei. Hierfür ist in Kapitel 5 ein analytischer Ausdruck des elektrischen Potentials hergeleitet worden, womit im Rahmen einer aufgebauten allgemein gültigen Monte-Carlo-Simulationsumgebung Strom-Spannungs-Charakteristika und das zeitliche Verhalten eines organischen Transistor simuliert wurden.

Der Ladungsträgertransport im organischen Halbleiter hängt stark von der Beschaffenheit der Grenzflächen der Schichten eines Transistors ab, sodass im Kapitel 6 beschrieben wird, inwieweit welches Abscheideverfahren der funktionalen Schichten eines organischen Transistors den Ladungstransport beeinflusst.

Neben den Grenzflächen führen Verunreinigungen und strukturelle Defekte der Schichten zu Ladungsträgerfallen im organischen Halbleiter und zu einem veränderten Bauteilverhalten aufgrund degradierten Materialien. Kapitel 7 legt die Ursachen von Ladungsträgerfallen dar und inwieweit diese das elektrische Bauteilverhalten verändern.

Neben dem Ladungsträgertransport durch den organischen Halbleiter ist ein unerwünschter Stromfluss durch das isolierende Dielektrikum in Form von Leckströmen nachweisbar, der in Kapitel 8 mit FE-Simulationen für verschiedene Herstellungsprozesse verglichen wird.

Da bei der Herstellung organischer Transistoren im Flüssigprozess nach wie vor weit stärkeren Schwankungen in der Genauigkeit der Strukturen und Beschaffenheit der Schichten auftreten, als bei der Vakuum-Evaporation, wie sie z.B. in der Siliziumtechnologie verwendet wird, wird in Kapitel 9 auf die Fluktuation der elektrischen

Parameter eingegangen und wie trotz dieser Schwankungen durch Monte-Carlo-Schaltungssimulationen ein Parameterfenster aufgestellt werden kann. Dieses Parameterfenster dient dazu Transistoren zu identifizieren, aus denen Schaltungen aufgebaut werden können, die innerhalb gewisser Randbedingungen arbeiten.

Kapitel 10 fasst die in dieser Arbeit entwickelten Methoden und Ergebnisse zusammen und gibt einen Ausblick über die möglichen Weiterentwicklungen.

# Kapitel 2

## Ladungstransport in organischen Halbleitern

### Inhalt

2.1	Ladungstransport in organischen Materialien . . . . .	5
2.2	Prinzipielle Funktionsweise eines (organischen) Feldeffekttransistor . .	8

### 2.1 Ladungstransport in organischen Materialien

In kristallinen leitenden bzw. halbleitenden anorganischen Materialien findet der Ladungstransport in delokalisierten Bändern statt, weswegen man von Bandtransport spricht. Nicht alle Bänder sind mit Ladungsträgern gefüllt, sondern nur Zustände unterhalb der Fermi-Energie  $E_F$ . Die Wahrscheinlichkeit, bei einer Energie  $E$  einen Ladungsträger anzutreffen, ist über die Fermi-Dirac-Verteilung

$$f(E) = \left(1 + \exp\left(\frac{E - E_F}{k_B T}\right)\right)^{-1} \quad (2.1)$$

gegeben, wobei  $k_B$  die Boltzmann-Konstante und  $T$  die Temperatur bezeichnen. Dadurch lassen sich Festkörper in Isolatoren, Halbleiter und Metalle unterscheiden. Bei Isolatoren ist das höchste besetzte Band (das Valenzband) komplett mit Ladungsträger gefüllt, während das niedrigste unbesetzte Band (das Leitungsband) komplett von Ladungsträgern entleert ist. Der Abstand dieser beiden Bänder, die Bandlücke, beträgt bei Isolatoren mindestens  $2eV$ . Bei Metallen ist das Leitungsband teilweise gefüllt und die Fermi-Energie liegt innerhalb dieses Bandes - es existiert keine Bandlücke bei Metallen. Halbleiter unterscheiden sich von Isolatoren durch die Bandlücke zwischen Valenz- und Leitungsband, die derart gering ist, dass entsprechend der Fermi-Dirac-Verteilung 2.1 bei Raumtemperatur das Leitungsband z.T. gefüllt ist [14]. Nach dem Drude-Modell [1] können sich Ladungsträger frei unter dem Einfluss eines angelegten Feldes zwischen den

delokalisierten Zuständen im Leitungsband bewegen, wobei die Ladungsträger an Gitterschwingungen (Phononen) gestreut werden können. Organische Halbleiter unterscheiden sich hiervon in folgender Weise:

Organische Materialien mit geringem Molekulargewicht, sogenannte „small molecules“ und Polymere bilden zwei Klassen organischer Halbleiter. Beiden gemeinsam ist das konjugierte  $\pi$ -Elektronensystem, das durch  $p_z$ -Orbitale und hybridisierte  $sp^2$ -Orbitale der Kohlenstoffatome entsteht. Die relative starke Einzelbindung zwischen zwei  $sp^2$ -Orbitalen wird  $\sigma$ -Bindung genannt, wohingegen die schwächere Einzelbindung zwischen den  $p_z$ -Orbitalen  $\pi$ -Bindung genannt wird. Eine Doppelbindung, wie in Abb. 2.1(a) für Ethylen dargestellt, wird aus beiden Bindungstypen gebildet. Konjugierte Systeme weisen ein abwechselndes Auftreten von  $\sigma$ - und  $\pi$ -Bindungen auf (siehe Abb. 2.1(b)), die für die halbleitenden Eigenschaften von Bedeutung sind. Die elektronischen Eigenschaften konjugierter molekularer Systeme sind abhängig vom Überlapp der  $p_z$ -Orbitale, da diese aus schwach gebundenen, delokalisierten Elektronen bestehen. Durch diese Delokalisierung bilden sich Energieniveaus, sogenannten molekulare Orbitale. Einige dieser Energieniveaus können mit Elektronen gefüllt sein, wohingegen andere entleert sind. Die wichtigsten Orbitale sind die höchsten, besetzten Orbitale (highest occupied molecular orbital HOMO) und niedrigsten, unbesetzten Orbitale (lowest unoccupied molecular orbital LUMO), die beide die Bandlücke des organischen Halbleiters definieren. Für Moleküle in der Gasphase oder im monokristallinen Festkörper können HOMO und LUMO grob mit dem Valenz- und Leitungsband bei anorganischen Festkörpern verglichen werden.

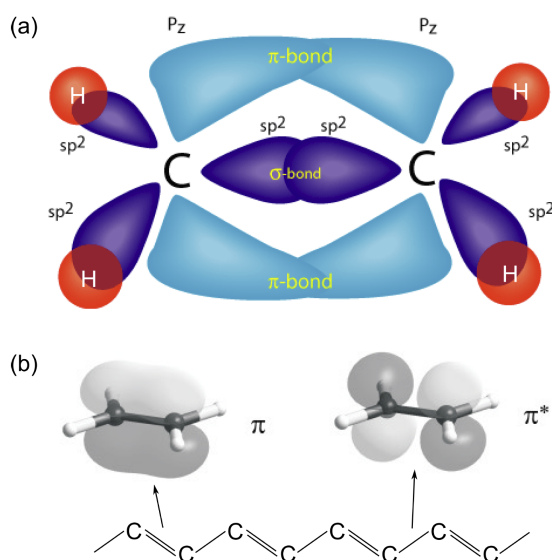


Abbildung 2.1: (a)  $\sigma$ - und  $\pi$ -Bindungen in Ethylen. (b) konjugiertes  $\pi$ -Elektronensystem [47]

Das Konzept des p-Typ bzw. n-Typ Verhaltens organischer Halbleiter unterscheidet sich von oben beschriebenen, konventionellen Halbleitern. Organische Halbleiter werden als p-Typ bezeichnet, wenn die Injektion und der Ladungstransport von Löchern unterstützt wird. Von n-Typ Halbleitern spricht man, wenn dies der Fall für Elektronen ist. Dies bedeutet nicht, dass sie im klassischen Sinne dotiert sind. Freie Elektronen im n-Typ Halbleiter befinden sich im LUMO, wohingegen freie Löcher im p-Typ Halbleiter sich im HOMO befinden. Diese Annahme stellt ein vereinfachtes Modell dar. Besonders in unge-



ordneten Polymeren müssen komplexere Modelle zu Rate gezogen werden. Hier werden HOMO/LUMO eines einzelnen Moleküls durch Gauß-verteilte Zustandsdichten (DOS) beschrieben.

Im Gegensatz zum Drude-Modell für die oben genannten anorganischen kristallinen Halbleiter wurde für ungeordnete amorphe oder polykristalline Materialien wie Polymeren das „Variable Range Hopping“ (VRH) Modell durch Vissenberg und Matters [91] entwickelt. Hier wird der Ladungstransport durch ein „Hüpfen“, d.h. thermisch aktiviertes Tunneln der Ladungsträger zwischen lokalisierten Zuständen beschrieben. Die Ladungsträger sind entsprechend des Modells des quantenmechanischen Potentialtopfes in diesen Zuständen gefangen. Wird ihnen genügend thermische Energie zugeführt, können die Ladungsträger die Potentialbarriere zwischen zwei lokalisierten Zuständen überwinden, wie es durch den Hüpf-Prozess „A“, dem phononen-unterstützten Tunneln, in Abb. 2.2(a) dargestellt ist. Ladungsträger können aber auch durch die Barriere direkt hindurch tunneln, wie es der Prozess „B“ in Abb. 2.2(a) gezeigt ist. Abb. 2.2(b) verdeutlicht den Unterschied zwischen dem Ladungsträgertransport in kristallinen Materialien wie Silizium und molekular ungeordneten organischen Halbleitern.

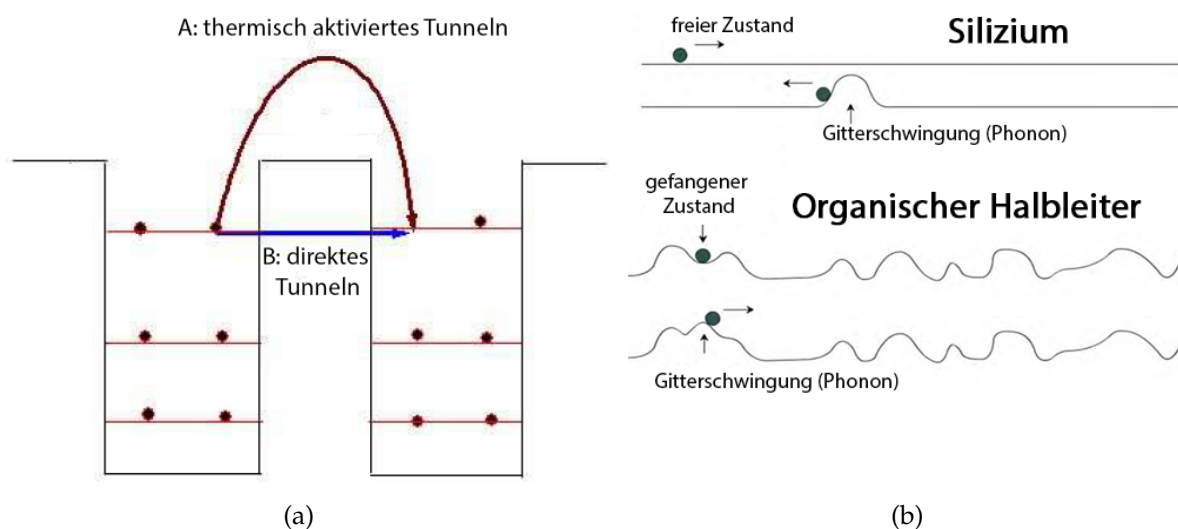


Abbildung 2.2: (a) Potentialtöpfe, in denen die Ladungsträger gefangen sind. Wird den Ladungsträgern genügend Energie zugeführt, können Ladungsträger durch den mit „A“ bezeichneten Prozess die Barriere überwinden. Bei hierfür nicht ausreichender Energie können die Ladungsträger die Barriere durch den Prozess „B“ durchtunneln, nach [28].

(b) Vergleich der Gitterschwingungen und des Ladungsträgertransportes zwischen Silizium und einem organischen Halbleiter. Im Falle von Silizium können sich Ladungsträger zwischen delokalisierten (freien) Zuständen frei bewegen und werden nur an Gitterschwingungen gestreut. In molekular ungeordneten organischen Halbleitern sind Ladungsträger in lokalisierten Zuständen gefangen und können nur aufgrund der durch Gitterschwingung übertragenen Energie transportiert werden, nach [8].

Das Hüpfen geschieht mit einer Frequenz

$$v_{ij} = v_0 \exp(-2\alpha R_{ij}) \times \begin{cases} \exp\left[-\left(\frac{E_j - E_i}{k_B T}\right)\right] & , E_j > E_i \\ 1 & , E_j \leq E_i \end{cases} \quad (2.2)$$

wobei  $v_0$  die Attempt-to-escape Frequenz bezeichnet,  $\alpha$  den Überlapp der Wellenfunktion,  $R_{ij}$  den Abstand der hopping sites,  $k_B$  die Boltzmann-Konstante und  $T$  die absolute Temperatur. Dieser Hüpf-Prozess ist die Grundlage für den Stromtransport in einem organischen Feldeffekttransistor [34, 48, 76, 101].

## 2.2 Prinzipielle Funktionsweise eines (organischen) Feldeffekttransistor

Die Basis zur Beschreibung des elektrischen Verhaltens, d.h. der Strom-Spannungs-Charakteristika eines organischen Feldeffekttransistor (OTFT), ist der Feldeffekttransistor in der Silizium-Technologie, der Metall-Oxid-Halbleiter Feldeffekttransistor (Metal-Oxide-Semiconductor Fieldeffect Transistor MOSFET). Da es eine Vielzahl unterschiedlicher Bauformen von Feldeffekttransistoren gibt, je nachdem in welcher Reihenfolge welche Schichten aufgebracht werden, wird hier die auch in dieser Arbeit vorliegende folgende Form eines Feldeffekttransistors beschrieben und anhand eines MOSFETs erklärt:

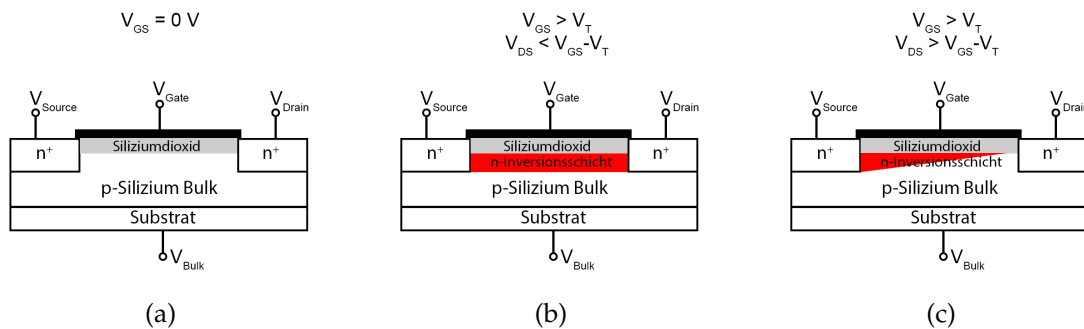


Abbildung 2.3: (a) Prinzipieller Aufbau eines MOS-Feldeffekttransistors. Eine p-dotierte Siliziumschicht wird auf einem Substrat aufgebracht. Eine Siliziumdioxid-Schicht dient als Dielektrikum, worauf sich der Gate-Anschluss befindet. Hochdotierte n-Gebiete rechts und links davon dienen als Source- und Drain-Elektroden.

(b) Durch Anlegen einer Spannung  $V_{GS} > V_T$  bildet sich in der p-dotierten Schicht eine Inversionsschicht aus Elektronen. Der pn-Übergang zwischen den Elektronen und dieser Inversionsschicht verschwindet und wird ohmsch.

(c) Ab einer Spannung  $V_{DS} > V_{GS} - V_T$  beginnt sich die Inversionsschicht ab der Drain-Elektrode abzuschnüren und der Drain-Source-Strom sättigt sich.

Abb.2.3(a) zeigt den Aufbau eines n-Kanal MOSFETs. Auf einem Substrat wird eine leicht p-dotierte Siliziumschicht hergestellt, worauf durch Oxidation das Gate-Dielektrikum Siliziumdioxid abgeschieden wird. Die Source- und Drain-Elektroden werden durch starke n-Dotierung des Substrates auf beiden Seiten des Dielektrikums hergestellt, wodurch sich später ohmsche Kontakte zwischen den Elektroden und dem Transistorkanal ausbilden. Der elektrische Bulk-Anschluss wird i.d.R. mit der Source-Elektrode verbunden. Da der Transistor symmetrisch aufgebaut ist, bezeichnet die Source-Elektrode bei n-Kanal Transistoren den Anschluss mit dem negativeren Potential. Solange die Spannung  $V_{GS}$  zwischen der Gate- und der Source-Elektrode kleiner als die sogenannte Schwellspannung  $V_T$  ist, fließt kein Strom  $I_{DS}$  zwischen den Elektroden Drain und Source, da sich die Verarmungszone zwischen den n-dotierten Elektroden und der p-dotierten Schicht im Transistorkanal vergrößert und keinen Stromfluss zulässt. Sobald jedoch  $V_{GS} > 0V$ , werden an der Grenzschicht zwischen Halbleiter und Dielektrikum Minoritätsladungsträger, in diesem Fall Elektronen, akkumuliert (siehe Abb. 2.3(b)). Überschreitet die Gate-Source-Spannung die Schwellspannung  $V_T$ , befinden sich mehr Elektronen als Löcher im Transistorkanal, der nun als invertiert bezeichnet wird. Der pn-Übergang an den Elektroden verschwindet, sodass diese nun ohmsche Kontakte darstellen und der Stromfluss zwischen der Source- und der Drain-Elektrode  $I_{DS}$  lässt sich durch die angelegten Spannungen zwischen der Source- und Drain-Elektrode  $V_{DS}$  als auch zwischen der Gate- und Source-Elektrode  $V_{GS}$  durch

$$I_{DS} = \frac{W}{L} \mu C_{OX} \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (2.3)$$

beschreiben, wobei  $W$  und  $L$  die Transistorkanalweite bzw. -länge bezeichnen,  $\mu$  die Beweglichkeit der Ladungsträger und  $C_{OX}$  die flächenbezogene Kapazität der Oxidschicht. Solange  $V_{DS} < V_{GS} - V_T$  ist die Transistor-Inversionsschicht über den kompletten Kanal ausgebreitet und der Transistor fungiert als steuerbarer Widerstand und befindet sich im sogenannten linearen oder ohmschen Bereich. Wird die Drain-Source-Spannung  $V_{DS}$  weiter erhöht, so ist diese Inversionsschicht ab  $V_{DS} > V_{GS} - V_T$  nicht mehr über den kompletten Kanal ausgebreitet (siehe Abb. 2.3(c)), sondern beginnt sich ab der Drain-Elektrode abzuschnüren (pinch-off). Der Drain-Source-Strom ist in erster Näherung nun von der angelegten Drain-Source-Spannung unabhängig:

$$I_{DS} = \frac{W}{L} \mu C_{OX} (V_{GS} - V_T)^2. \quad (2.4)$$

Der grundlegende Unterschied zwischen einem OTFT und einem MOSFET wird in Abbildung 2.4 klar: Es werden ein OTFT und ein MOSFET mit n-Typ Halbleiter als Bulk-Material verglichen. Da, wie bereits erwähnt, organische Halbleiter verglichen zu z.B. dotiertem Silizium keine intrinsischen Ladungsträger aufweisen, werden OTFTs nicht in Inversion betrieben. Es stehen nämlich keine freien Löcher zur Verfügung, die zur Grenzfläche zwischen Halbleiter und Dielektrikum driften könnten. Aus diesem Grund werden OTFTs in Akkumulation betrieben. Eine positive Spannung  $V_G$  an der Gate-Elektrode zieht Elektronen zu der Grenzfläche an. Im Gegensatz dazu muss eine negative Gate-Spannung  $V_G$  beim MOSFET angelegt werden. Aufgrund der Inversion beim MOSFET werden für die Source- und Drain-Elektrode hochdotierte p-Bereiche verwendet um ohmsche Kontakte herzustellen. Da der OTFT in Akkumulation betrieben wird, werden keine

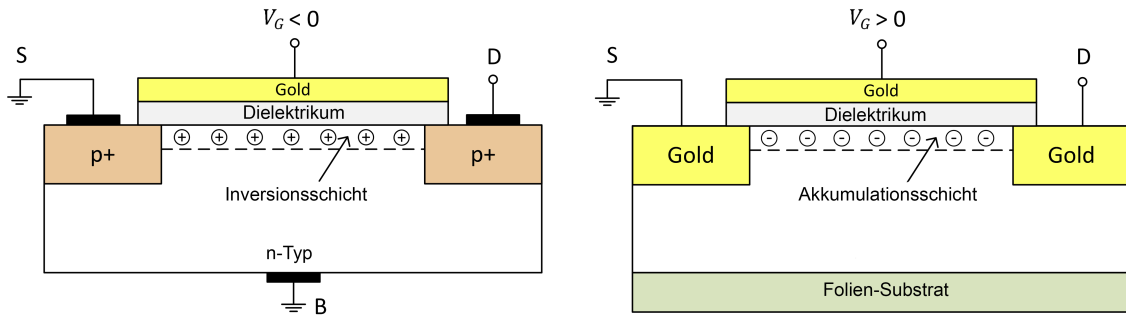


Abbildung 2.4: Unterschied zwischen einem MOSFET (links) und einem OTFT (rechts), nach [8].

dieser hochdotierten p-Bereiche benötigt, sondern Gold-Elektroden, sodass sich hier jedoch ein Metall-Halbleiter-Übergang, ein Schottky-Kontakt ausbildet. Weiterhin existiert beim OTFT kein Bulk-Anschluss, da als Substrat isolierende Folien dienen. Der Drain-Source-Strom in einem OTFT bei Akkumulation lässt sich nach dem VRH-Modell dann durch

$$I_{DS} = -\frac{\mu_0 W C_{OX}}{L(2 + \gamma)} \left( [[-V_{GS} + V_T]]^{2+\gamma} - [[-V_{GS} + V_T + V_{DS}]]^{2+\gamma} \right) (+\lambda \cdot V_{DS}) \quad (2.5)$$

beschreiben, wobei gilt, dass  $[[x]] = 0,5 \cdot x + 0,5 \cdot |x|$  und  $\mu_0$  die Mobilität,  $V_T$  die Schwellspannung,  $\gamma$  den Parameter für die feldabhängige Mobilität und  $\lambda$  den Kanallängenmodulationsfaktor bezeichnen.

Im anschließenden Kapitel werden nun der Aufbau und die Herstellung der OTFTs sowie die elektrische Messung der Kennlinien und Extraktion elektrischer Parameter beschrieben.

# Kapitel 3

## Bauteilherstellung, -charakterisierung und Parameterextraktion

### Inhalt

3.1	Transistoraufbau . . . . .	11
3.2	Transistormessplatz . . . . .	15
3.3	Messvorschrift . . . . .	17
3.4	Parameterextraktion . . . . .	17
3.4.1	MOS-Modell . . . . .	17
3.4.2	Variable Range Hopping Modell . . . . .	18
3.4.3	Vergleich der Messkurven mit der Simulation . . . . .	20
3.5	Zusammenfassung . . . . .	20

### 3.1 Transistoraufbau

Die in der vorliegenden Arbeit untersuchten Transistoren wurden in top-gate/bottom-contact Architektur aus organischem Halbleiter (p-Halbleiter *PIF8-TAA* [99], n-Halbleiter *Naphtalen Tetracarboxyl Diimide* [61]) und Dielektrikum (*Lisicon D320* für p-OTFT und *Cytop CTL-809M* für n-OTFT) sowie metallischen Elektroden aufgebaut <sup>1</sup>. Diese Materialien sind im Rahmen des Projekts, innerhalb dessen diese Arbeit entstanden ist, seitens der Materialhersteller zur Verfügung gestellt worden. Materialinformationen sind auf Grund von Geheimhaltung nicht zur Verfügung gestellt worden.

Als Substrat diente eine Polyethylenaphthalat (PEN) Folie mit einer Dicke von 200  $\mu\text{m}$  und einer Größe von 30,48 mm  $\times$  38,10 mm, die eine Rauigkeit von 0,6 nm aufweist. Auf diese Folie wurden photolithographisch Source- und Drain-Strukturen aufgebaut, die unter Verwendung einer 50 nm dicken Titan-Haftvermittlerschicht und einer 50 nm dicken

<sup>1</sup>Die Beschreibung der Herstellung der verwendeten Substrate ist [61], [67], und [83] entnommen.



Tabelle 3.1: Geometrien rechteckiger und runder interdigitaler Transistoren, wie sie auf dem Layout Abb. 3.1 in Reihen 1-5 und 7 für erstere und Reihe 6 für letztere angeordnet sind.

Transistortyp	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	$\frac{W}{L}$
rechteckig	500	100	5
rechteckig	1000	100	10
rechteckig	500	50	10
rechteckig	2000	100	20
rechteckig	1000	50	20
rechteckig	1000	10	100
rechteckig	2000	20	100
rund	3800	20	190
rund	20707	100	207
rechteckig	2000	10	200
rechteckig	1000	5	200
rechteckig	10000	10	1000
rechteckig	10000	5	2000

Das Substrat mit den Source-Drain-Strukturen wurde in Isopropylalkohol in einem Ultraschallbad gereinigt und durch gereinigte Druckluft getrocknet. Anschließend fand eine Plasmabehandlung in einer Vakuum-Plasmakammer für drei Minuten bei 0,4 mbar und einem Abstand von 5 cm von der Elektrode zum Substrat statt. Hierauf wurde im Fall des p-Kanal Transistors ein self-assembled-monolayer (SAM) Lisicon M001 aufgebracht, das mit den Goldelektroden für eine Minute reagierte, um die Austrittsarbeit der Elektrode zum Highest Occupied Molecular Orbital (HOMO) (für p-Halbleiter) anzupassen. Der p- bzw. n-Halbleiter wurde durch Spin-Coating [61], [67] oder Druckverfahren [83] aufgebracht. Im Falle von Spin-Coating geschieht dies folgendermaßen: 1-wt%, 2-wt% oder 3-wt% des Halbleiters wurden in hochreinem wasserfreien 1,3,5-Trimethylbenzen (Mesitylen) gelöst und durch einen Spritzenfilter mit einer PTFE-Membrane mit 0,2  $\mu\text{m}$  Porengröße dosiert, bis das ganze Substrat mit Halbleiterlösung bedeckt ist. Dann erst wurde der Spin-Coater mit einer Beschleunigung von 500 rpm und einer Enddrehgeschwindigkeit von 1500 rpm für 60 s gestartet. Die feuchte Schicht wurde auf einer Heizplatte drei Minuten lang bei 100 °C getrocknet. Es ergab sich dann eine Halbleiterschichtdicke von 33 nm  $\pm$  2 nm, 66 nm  $\pm$  5 nm und 100 nm  $\pm$  10 nm für 1-wt%, 2-wt% und 3-wt% Konzentration. Auf den Halbleiter wurde ein Gate-Isolator mit 1800 rpm für 30 s durch Spin-Coating mit einer Beschleunigung von 500 rpm aufgebracht und zwei Minuten bei 100 °C getrocknet. Die Schichtdicke dieses Dielektrikums wurde zu 850 nm  $\pm$  25 nm gemessen. Im letzten Schritt wurde Silber als Gate-Elektrode bei einem Druck von  $5 \times 10^{-6}$  mbar bei einer Rate von 0,5 nm/s aufgedampft, wodurch eine Gate-Dicke von 40 nm erreicht wurde. Abb. 3.2 zeigt den Ablauf der Substratprozessierung und Abb. 3.3 schematische Querschnitte eines somit hergestellten Transistors.

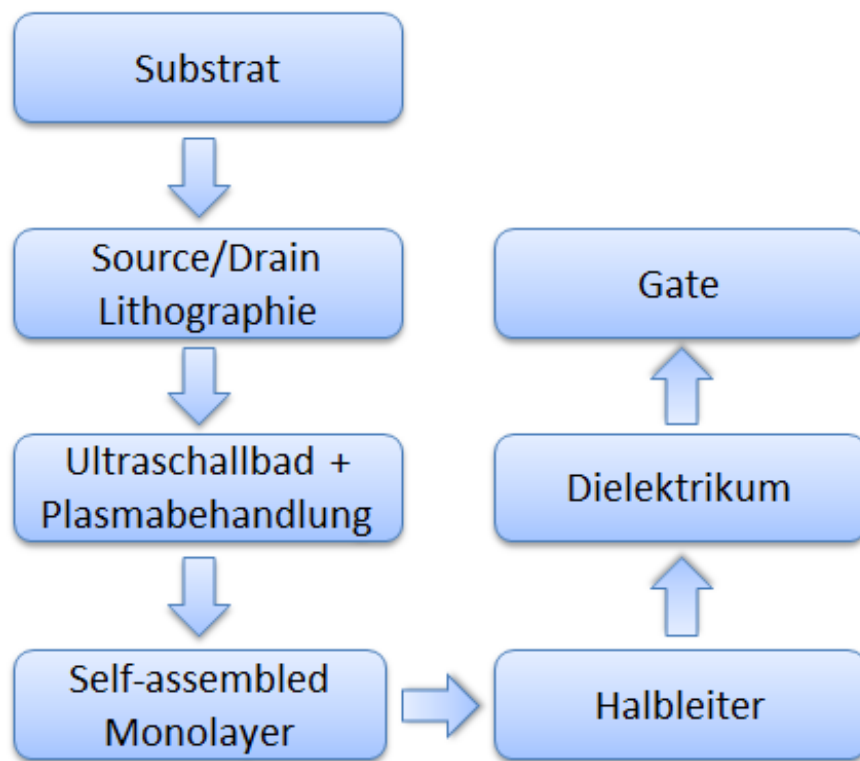


Abbildung 3.2: Arbeitsablauf der Transistorherstellung.

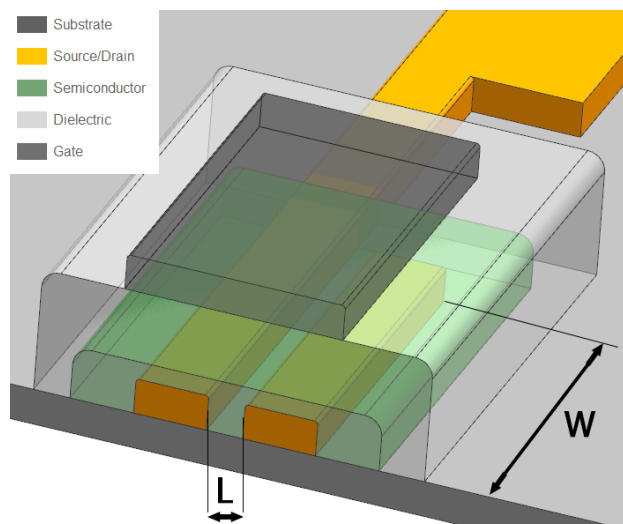


Abbildung 3.3: Schematischer Transistorquerschnitt: 3D Draufsicht mit Gate und Kontaktzuleitungen [67].



## 3.2 Transistormessplatz

Für die in Abschnitt 3.1 vorgestellten Transistoren wurden Strom-Spannungs-Kennlinien aufgenommen. Die geringe Mobilität organischer Halbleiter ließ Ströme im Bereich von  $\mu\text{A}$  bei angelegten zweistelligen Spannungen erwarten. Um die Genauigkeit auch im Bereich von  $\text{nA}$  für die Kanal- als auch Leckströme durch das Dielektrikum zu erreichen, wurden *Keithley 2636A* Source-Measurement-Units (SMU) verwendet. Damit können Ströme mit einer Genauigkeit von bis zu  $120\text{ fA}$  und Spannungen mit einer Genauigkeit bis zu  $225\text{ }\mu\text{V}$  gemessen werden. Als Quelle können die SMU Spannungen bis zu  $200\text{ V}$  und Ströme bis zu  $1\text{ A}$  erzeugen. Für die Messung von Ausgangs- und Transfercharakteristika wurden zwei Kanäle benötigt: einer für das Anlegen der Drain-Source-Spannung  $V_{DS}$  und das Messen des Drain-Source-Stromes  $I_{DS}$  und ein zweiter für die Gate-Source-Spannung  $V_{GS}$  und den Gate-Source-Strom  $I_{DS}$ . Die SMU besitzt eine GPIB-Schnittstelle, mittels derer sie an eine Labview-Schnittstelle angebunden ist, die den Messablauf steuert. Ein manueller Spitzenmessplatz PSM 6 von Suss Mircotec wurde über Triaxial-Kabel mit den Kanälen der SMU verbunden und diente zur Einzelcharakterisierung von Transistoren in hoher Auflösung nach einer Messvorschrift (siehe Abschnitt 3.3, in Anlehnung an den Standard IEEE 1620) für die Strom-Spannungs-Kennlinien. Durch den manuellen Spitzenmessplatz war es möglich, schnell eine Information über den Erfolg eines Herstellungsschrittes zu erhalten. Jedoch war es zu aufwändig, eine komplette statistische Analyse des Verhaltens der Bauteile durchzuführen. Weiterhin ist die Charakterisierung durch den Spitzenmessplatz zeitaufwendig und fehleranfällig. Es ist zwar eine Massensmessung möglich, jedoch müssen hierfür probe heads bzw. Kontaktstifte für jedes einzelne Bauteil vorgesehen werden, die benötigten elektrischen Zuleitungen hierfür sind jedoch sehr teuer und jede Messung zwischen den Transistoren erfordert eine Umschaltung mittels einer Switch Matrix, die gerätebedingt die Messungenauigkeit erhöht.

Aus diesem Grund ist ein automatisierter Spitzenmessplatz, wie in Abb. 3.4 dargestellt, aufgebaut worden. Als Grundlage hierfür diente eine CNC-Basismaschine ModuFlat 60 der Firma ISEL in Tischausführung mit Haube. Hierbei dienen Federkontaktstifte in einem für die jeweilige Anwendung modular konzipierten Messkopf zur elektrischen Kontaktierung, eine USB-Kamera zur Positionierung von Referenzmarken. Eine softwareseitig hinterlegte Maske mit den Bauteilkoordinaten steuert die Kontaktierung, Triax-Kabel verbinden den Messkopf mit den SMUs. Durch ein drei-achsiges System werden die Bauteile angefahren und mit einer Genauigkeit von  $20\text{ }\mu\text{m}$  kontaktiert. Die zu vermessenden Substrate wurden auf dem Werkstückhalter durch Unterdruck fixiert. Die Haube diente zum Schutz vor elektrischen Störungen und dunkelte die Messumgebung ab. Die zu vermessende Fläche war beschränkt auf  $400\text{ mm}$  in x-Richtung (Querachse),  $600\text{ mm}$  in y-Richtung (Längsachse) und  $150\text{ mm}$  in z-Richtung (Hubachse). Die Kontaktpads mit einer Größe von  $800\text{ }\mu\text{m} \times 1500\text{ }\mu\text{m}$  auf den Substraten konnten somit vollautomatisch angefahren werden. Durch die Verwendung von Federkontakten als Messspitzen konnte eine ausreichende Verfahrengenauigkeit in z-Richtung garantiert werden. Dieser automatisierte Messplatz ermöglicht eine schnelle und reproduzierbare Massencharakterisierung der hergestellten Transistoren und ist darüber hinaus für eine Vielzahl elektronischer Bauelemente einsetzbar (z.B. Organische Leuchtdioden, Widerstände, Kondensatoren, Solarzellen, etc.). Somit ist eine Inline-Messungen in Produktionsprozessen zur Qualitätskontrolle möglich, da durch die verwendeten Federkontaktstifte keine Gefahr der Zerstörung funk-

tionaler Schichten gegeben ist. Das Layout des Substrates bedingt, dass auf dem Substrat in horizontaler Richtung abwechselnd Source- und Drain-Elektroden angebracht sind und in vertikaler Richtung Gate-Elektroden. Wie Abb. 3.1 zu entnehmen ist, ändert sich diese Anordnung in Reihe 3: Dort sind in horizontaler Richtung die Gate-Elektroden und in vertikaler Richtung die Source- und Drain-Elektroden angeordnet. Aus diesem Grund können mit dem Messkopf alle Reihen bis auf die dritte automatisiert gemessen werden. Der Kontaktwiderstand bedingt durch diese Federkontaktstifte ist nicht berücksichtigt worden. Wie jedoch in Kapitel 4 gezeigt wird, kann dieser Kontaktwiderstand aufgrund der Größe des Kanal- und Kontaktwiderstandes der Transistoren vernachlässigt werden. Die Ansteuerung des Reihenmessplatzes erfolgt über eine eigens programmierte LabView-Umgebung und ist im Detail in [70] beschrieben. Nach einer Initialisierung der Gerätekoordinaten werden die Justiermarken auf den Substraten mithilfe der USB-Kamera angefahren und abgespeichert. Durch die softwareseitig hinterlegte Maske sind nun die relativen Bauteilkoordinaten bekannt. Nach Auswahl der zu vermessenden Transistoren muss die Messvorschrift (siehe Abschnitt 3.3) ausgewählt werden, sodass nun die automatisierte Charakterisierung starten kann. Es werden jeweils die zu vermessenden Bauteile angefahren, die Messvorschrift durchgeführt und die Messdaten zu weiteren Auswertung abgespeichert.<sup>2</sup>

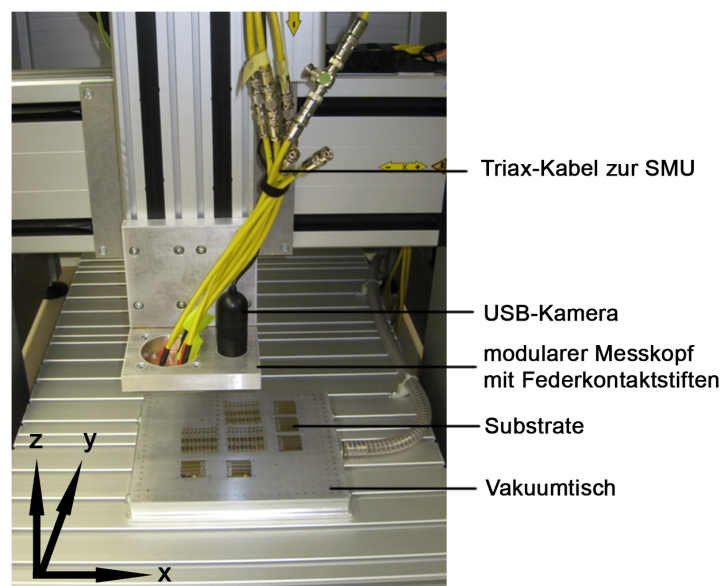


Abbildung 3.4: Automatisierter Reihenmessplatz: Auf einem Vakuumtisch sind die zu vermessenden Substrate fixiert. In dem modular konzipierten Messkopf sind Federkontaktstifte für die Kontaktierung der Bauteile vorgesehen und mit Triax-Kabeln mit den SMUs verbunden. Die USB-Kamera dient zum Anfahren der Justiermarken auf dem Substrat. Durch das drei-achsige System und einer softwareseitig hinterlegten Maske mit den Bauteilkoordinaten werden die Bauteile mit einer Genauigkeit von  $20\ \mu\text{m}$  kontaktiert.

<sup>2</sup>Der hier vorgestellte automatisierte Reihenmessplatz samt Ansteuerung und Messprogrammen ist im Rahmen einer Studienarbeit [70] unter meiner Betreuung aufgebaut worden.

### 3.3 Messvorschrift

Die Transistoren wurden entsprechend der Messvorschrift in [29] in Dunkelheit charakterisiert:

1. Alle Kontakte wurden für 60 s geerdet, d.h. auf 0 V gelegt, um eine vergleichbare Startbedingung zu gewährleisten
2. Transferkennlinien für Drain-Source-Spannungen  $V_{DS}$  von
  - –5 V, –15 V und –40 V bei p-OTFT
  - 40 V bei n-OTFT

wurden gemessen, wobei die Schrittweite der Gate-Source-Spannung  $V_{GS}$  in 1 V Schritten

- von 20 V bis –40 V und zurück für p-OTFT
- von 0 V bis 60 V und zurück für n-OTFT

verändert wurde.

3. Alle Kontakte wurden für 5 s auf 0 V gelegt
4. Ausgangskennlinien für Gate-Source-Spannungen  $V_{GS}$  von
  - 20 V, 5 V, 0 V, –5 V, –15 V und –40 V bei p-OTFT
  - 0 V, 15 V, 30 V, 45 V und 60 V bei n-OTFT

wurden gemessen, wobei die Schrittweite der Drain-Source-Spannung  $V_{DS}$  in 1 V Schritten

- von 5 V bis –40 V und zurück für p-OTFT
- von 0 V bis 60 V und zurück für n-OTFT

verändert wurde.

Nach dem Anlegen jedes Spannungspunktes wurden die Ströme, die jeweils durch Kanal A und B fließen, gemessen, d.h. die Ströme, die von Drain (Kanal A) und Gate (Kanal B) in Richtung Source (Masse) fließen.

### 3.4 Parameterextraktion

#### 3.4.1 MOS-Modell

Wie in Abschnitt 3.4.3 und Kapitel 5 gezeigt wird, ist das gängige MOS-Modell [72] zur Beschreibung organischer Transistoren nur bedingt verwendbar. Jedoch eignet es sich für eine einfache Parameterextraktion und somit zur Gewinnung eines ersten Überblicks über die Ausbeute und Größe der extrahierten Parameter des hergestellten Substrats. Das Modell basiert auf folgenden Parametern:

- Transistorkanalweite  $W$  und -länge  $L$
- Gate-Kapazität  $C_{OX}$
- Schwellspannung  $V_T$
- Ladungsträgerbeweglichkeit  $\mu$

Die Transistorkanalweite und -länge ergeben sich aus der Geometrie des gemessenen Transistors und sind somit bekannt (siehe Abschnitt 3.1). Die Gate-Kapazität  $C_{OX}$  errechnet sich aus der Schichtdicke  $t_{OX}$  und der relativen Permittivität  $\epsilon_r$  des Dielektrikums. Somit bleiben die Schwellspannung  $V_T$  und die Mobilität  $\mu$  als unbekannte Parameter. Erstere wird durch die "Extrapolation in Saturation" (ESR) Methode extrahiert [60]; Für eine Transferkennlinie in Sättigung wird im Punkt der größten Steigung in der Darstellung  $\sqrt{I_{DS}}$  vs.  $V_{GS}$  eine Tangente angelegt, deren Schnittpunkt mit der x-Achse (Gate-Source-Spannung  $V_{GS}$ ) die Schwellspannung  $V_T$  ergibt. Die MOS-Modellgleichungen werden umgestellt, um damit die Mobilität  $\mu$  zu extrahieren:

$$I_{DS} = \frac{W}{L} \mu C_{OX} \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (3.1)$$

$\Leftrightarrow$

$$\mu = \frac{I_{DS}}{C_{OX} \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}} \frac{L}{W} \quad (3.2)$$

Durch eine Auswerteroutine werden die Mobilität  $\mu$  und die Schwellspannung  $V_T$  als Karte entsprechend des Layouts in Abb. 3.1 dargestellt (siehe Tabelle 3.2). Zusätzlich werden maximale Kanalströme  $I_{DS}$ , maximale Gate-Ströme  $I_{GS}$  und das on/off-Verhältnis bestimmt und ebenfalls in einer Karte dargestellt. Wie in Abschnitt 3.2 beschrieben, ist es aufgrund der Konzeptionierung des modularen Messkopfes des automatisierten Messplatzes nicht möglich die Transistoren in Reihe 3 zu messen, weshalb die Werte hierfür in Tabelle 3.2 nicht vorhanden sind.

### 3.4.2 Variable Range Hopping Modell

Ein Modell zur Schaltungssimulation, das dem Ladungstransportverhalten organischer Materialien Rechnung trägt, ist das in Abschnitt 2.1 beschriebene "Variable Range Hopping" Modell (VRH), in dem der Ladungstransport durch thermisch aktiviertes Tunneln ("Hüpfen") der Löcher zwischen lokalisierten Zuständen mit einer exponentiellen Zustandsdichte geschieht. Durch dieses Hüpfen zwischen lokalisierten Zuständen erhält man experimentell eine temperaturabhängige Mobilität, die von der Ladungsträgerdichte abhängt [2]. Die feldabhängige Mobilität des VRH-Modells

$$\mu_{FE} = \mu_0 \left[ [-V_{GS} + V_T] \right]^\gamma \quad (3.3)$$

führt zum folgendem Ausdruck für den Drain-Source-Strom in Akkumulation:

$$I_{DS} = -\frac{\mu_0 W C_{OX}}{L(2 + \gamma)} \left( \left[ [-V_{GS} + V_T] \right]^{2+\gamma} - \left[ [-V_{GS} + V_T + V_{DS}] \right]^{2+\gamma} \right) (+\lambda \cdot V_{DS}) \quad (3.4)$$

Tabelle 3.2: Layoutbezogene Übersicht der Mobilität  $\mu$  und Schwellspannung  $V_T$  der einzelnen Transistoren, wie sie auf dem Substrat in Abb. 3.1 in Reihen (1-7) und Spalten (1-11) angeordnet sind.

Mobilitätsübersicht Reihe / Spalte	Beweglichkeit in $10^{-2} \frac{cm^2}{Vs}$										
	1	2	3	4	5	6	7	8	9	10	11
1	2,5	2,7	3,3	2,5	3,4	4,1	6,3	5,0		1,8	5,3
2	6,9	8,3	13,0	6,1	8,3	3,9	2,5	3,2	3,1	2,4	2,0
3											
4	2,7		3,4	3,0	2,7	3,5	7,5	6,2	1,5	1,2	8,7
5	5,7	5,9	7,7	5,1	5,3	3,5	3,0	2,5	2,7	2,4	1,4
6	4,1	4,1	4,0	16,0	2,6	25,0					
7	5,9	7,3	7,8	5,7	6,2	4,0	2,9	3,0	3,2	2,0	1,5

Schwellspannungsübersicht Reihe / Spalte	Schwellspannung in V										
	1	2	3	4	5	6	7	8	9	10	11
1	-5,8	-6,8	-7,4	-10,6	-7,2	-7,6	-8,9	-7,7		-9,1	-8,5
2	-8,8	-12,3	-9,7	-8,8	-10,1	-8,2	-2,8	-8,5	-9,7	-8,0	-9,4
3											
4	-7,9		-9,2	-8,4	-8,8	-10,0	-11,1	-9,8	-9,6	-12,4	-9,8
5	-9,7	-9,9	-10,6	-9,6	-11,1	-10,3	-11,0	-10,5	-10,5	-8,5	-10,8
6	-10,1	-10,3	-10,6	-11,1	-9,9	-8,5					
7	-9,9	-10,5	-10,7	-10,7	-10,7	-11,1	-11,2	-10,4	-9,0	-10,4	-11,3

wobei gilt, dass  $[[x]] = 0,5 \cdot x + 0,5 \cdot |x|$ . Die Mobilität  $\mu_0$  und die Schwellspannung  $V_T$  (die beide nicht identisch mit jenen sein müssen, wie sie im MOS-Modell extrahiert wurden), als auch der Parameter  $\gamma$  für die feldabhängige Mobilität und der Kanallängenmodulationsfaktor  $\lambda$  werden durch die Methode der kleinsten Quadrate ermittelt [13].

### 3.4.3 Vergleich der Messkurven mit der Simulation

Abb. 3.5 und 3.6 zeigen den Vergleich des MOS-Modells (Gleichung (3.1)) bzw. des VRH-Modells (Gleichung (2.5)) mit einem gemessenen Transistor. Die extrahierten Parameter zum Nachbilden der Modellkurve wurden durch die Methode der kleinsten Quadrate bestimmt. Im vorliegenden Fall sind bedingt durch den Algorithmus die Mobilität  $\mu$  und die Schwellspannung  $V_T$  für das MOS- und VRH-Modell identisch. Beim MOS-Modell wurden diese direkt ermittelt, beim VRH-Modell wurden die aus dem MOS-Modell extrahierte Mobilität  $\mu$  und Schwellspannung  $V_T$  als Startwerte für den Algorithmus verwendet um auch die anderen Parameter  $\gamma$  und  $\lambda$  zu ermitteln. Insbesondere in Abb. 3.5 sind große Abweichungen zwischen Messung und Modell zu erkennen. Das MOS-Modell eignet sich somit nur bedingt zur physikalischen bzw. zur mathematischen Beschreibung des Verhaltens organischer Transistoren. Für die in Kapitel 9 durchgeführten Schaltungssimulationen wird deshalb das VRH-Modell verwendet.

## 3.5 Zusammenfassung

In diesem Kapitel ist der Aufbau und die Herstellung der organischen Dünnschichttransistoren beschrieben worden, wie sie in den folgenden Kapitel verwendet wurden. Mit Hilfe des vorgestellten automatisierten Reihennessplatzes ist die elektrische Charakterisierung von 61 Transistoren pro Substrat möglich. Aus den durch die Messung gewonnenen elektrischen Kennlinien lassen sich die elektrischen Parameter Mobilität  $\mu$  und Schwellspannung  $V_T$  nach dem MOS-Modell, bzw. Mobilität  $\mu$ , Schwellspannung  $V_T$ , Faktor der feldabhängigen Mobilität  $\gamma$  und Kanallängenmodulationsfaktor  $\lambda$  extrahieren. Sowohl durch die automatisierten Reihencharakterisierung als auch die Parameterextraktion werden in den folgenden Kapitel die technologiebasierten Einflüsse auf das elektrische Bauteilverhalten identifiziert und modelliert.

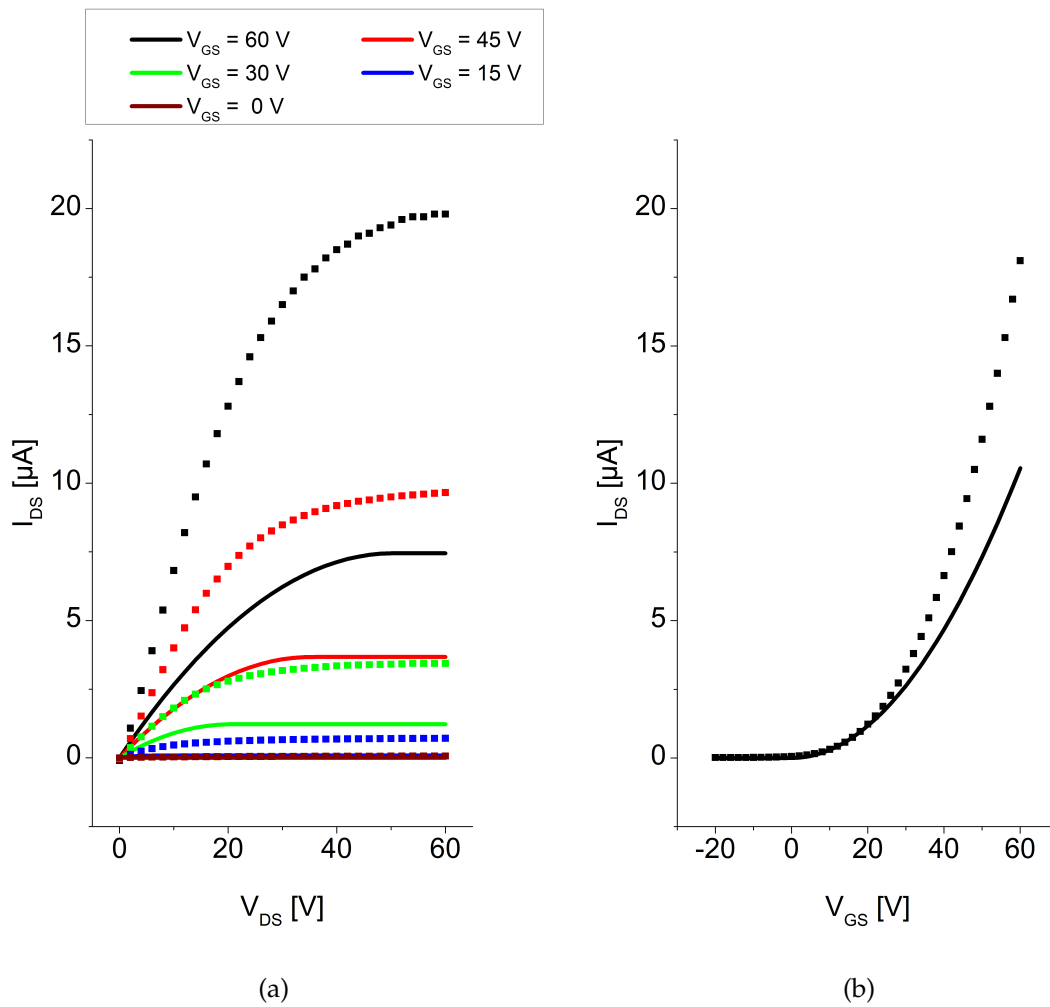


Abbildung 3.5: Vergleich des MOS-Modells (durchgezogene Linien) mit (a) exemplarischer  $I_{DS}$  vs.  $V_{DS}$  Ausgangskennlinienschar und (b)  $I_{DS}$  vs.  $V_{GS}$  Transferkennlinie für  $V_{DS}=40\text{ V}$ . Nach Abschnitt 3.4 wurde die Mobilität  $\mu$  zu  $5,46 \times 10^{-2} \frac{\text{cm}}{\text{Vs}}$  und die Schwellspannung  $V_T$  zu  $9,6\text{ V}$  extrahiert.

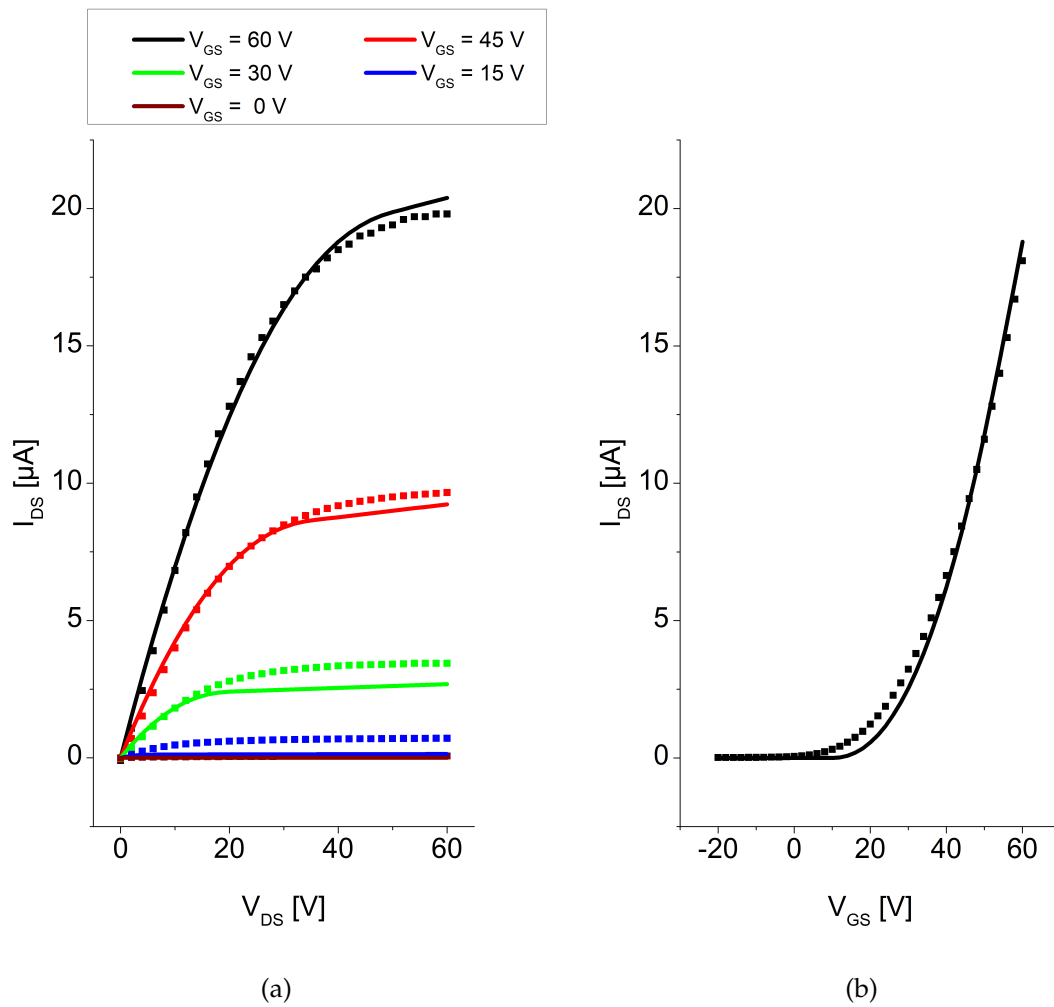


Abbildung 3.6: Vergleich des VRH-Modells (durchgezogene Linien) mit (a) exemplarischer  $I_{DS}$  vs.  $V_{DS}$  Ausgangskennlinienschar und (b)  $I_{DS}$  vs.  $V_{GS}$  Transferkennlinie für  $V_{DS}=40 V$ . Nach 3.4 wurde die Mobilität  $\mu$  zu  $5,46 \times 10^{-2} \frac{cm}{Vs}$ , die Schwellspannung  $V_T$  zu  $9,6 V$ , der Faktor für die feldabhängige Mobilität  $\gamma$  zu  $0,244$  und der Kanallängenmodulationsfaktor  $\lambda$  zu  $3 \times 10^{-3}$  extrahiert.



# Kapitel 4

## Injektion der Ladungsträger und Kontaktwiderstände

### Inhalt

---

4.1	Einführung . . . . .	23
4.2	Bestimmung des Kontaktwiderstandes . . . . .	26
4.3	Plasmaabhängiger spezifischer Kontaktwiderstand . . . . .	30
4.4	Spezifische Kontaktwiderstände für die verschiedenen Kategorien . . .	31
4.5	Schichtdickenabhängige spezifische Kontaktwiderstände . . . . .	31
4.6	Finite-Elemente-Simulation der spezifischen Kontaktwiderstände . . .	34
4.6.1	Finite-Elemente-Simulationsumgebung <i>Synopsys Sentaurus TCAD</i> .	34
4.7	Zusammenfassung . . . . .	44

---

### 4.1 Einführung

Im Gegensatz zur Silizium-Technologie stehen Ladungsträger in organischen Transistoren nicht aufgrund von Dotierung des Halbleiters zur Verfügung [103], sondern durch Injektion über den Metall-Halbleiter-Kontakt Source bzw. Drain in den organischen Halbleiter [33]. Es gibt zwar erste Ansätze des Dotierens organischer Halbleiter [25], jedoch werden in dieser Arbeit nur organische Dünnschichttransistoren mit intrinsischen Halbleitern betrachtet. Im Gegensatz zur Silizium-Technologie handelt es sich jedoch beim Metall-Halbleiter-Übergang nicht um einen ohmschen Kontakt (siehe Abschnitt 2.2), sondern um einen Metall-Halbleiter Schottky-Kontakt, d.h. es bilden sich an den Source- und Drain-Elektroden Schottky-Dioden aus, wie es am Beispiel der Source-Elektrode im Folgenden erläutert wird: Betrachtet man in Abb. 4.1(a) die Source-Elektrode (Metall, links) und einen p- Halbleiter (rechts) bevor beide Materialien in Verbindung gebracht werden, so unterscheiden sich Metall und Halbleiter in ihren Austrittsarbeiten  $q\Phi_M$  und  $q\Phi_{SC}$ , d.h.

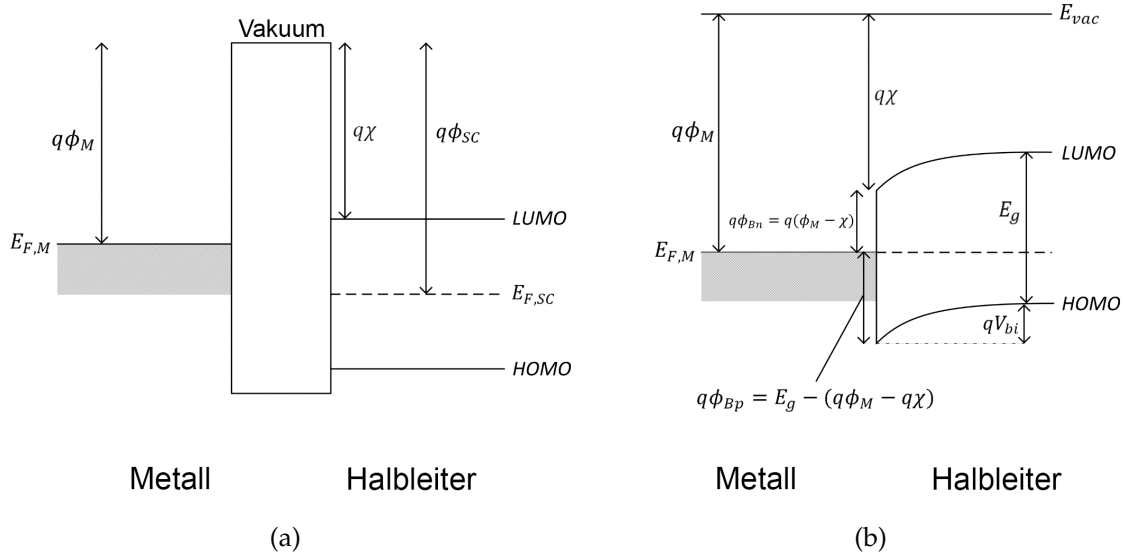


Abbildung 4.1: Bänderschema für den Metall-Halbleiter-Übergang (a) bevor Metall und Halbleiter in Kontakt gebracht werden und (b) nachdem Metall und Halbleiter in Kontakt gebracht werden. Aufgrund des Ausgleichs der Fermi-Energie beider Materialien bildet sich eine Schottky-Barriere  $q\Phi_{Bp}$  für Löcher am Übergang aus.

in ihren Fermi-Energien  $E_{F,M}$  und  $E_{F,SC}$ . Bringt man Metall und Halbleiter in Kontakt, gleichen sich die Fermi-Energien an, sodass es beim Halbleiter zu einer Bandverbiegung wie in Abb. 4.1(b) kommt und sich am Metall-Halbleiter-Übergang eine Barriere für Löcher

$$q\Phi_{Bp} = E_g - (q\Phi_M - q\chi) \quad (4.1)$$

einstellt, wobei  $E_g$  die Bandlücke beschreibt und  $\chi$  die Elektronenaffinität des Halbleiters. In Abb. 4.2(a) ist der Metall-Halbleiter-Übergang für eine positive(re) Spannung am Halbleiter ( $V > 0$  V) und in Abb. 4.2(b) für eine negative(re) Spannung am Halbleiter ( $V < 0$  V) dargestellt. Im Falle eines p-Halbleiters bezeichnet Source die Elektrode mit dem positiveren Potential, d.h. die Source-Elektrode liegt i.d.R. auf  $V_S = 0$  V und die Drain-Elektrode auf  $V_D < 0$  V, sodass beim Betrieb eines Transistors sich die Bandverbiegung wie in Abb. 4.2(b) einstellt. Aus Abb. 4.1 lässt sich dann für die Source-Elektrode die Orientierung der Schottky-Diode wie in Abb. 4.2 einzeichnen. Die Schottky-Diode an der Source-Elektrode ist während des Betriebs des OTFTs in Sperrrichtung gepolt, die Schottky-Diode an der Drain-Elektrode ist in Durchlassrichtung gepolt. Abb. 4.3 zeigt die Modellstruktur eines Transistors, bei dem die Metall-Halbleiter-Übergang an der Source- und der Drain-Elektrode durch Schottky-Dioden modelliert wurden.

Der Einfluss der Dioden (d.h. der nicht-linearen Widerstände) an der Source- und an der Drain-Elektrode lässt sich durch den sogenannten Kontaktwiderstand  $R_C$  beschreiben. Wie Abb. 4.4 zu entnehmen ist, führt dieser in der Ausgangskennlinie bei kleinen Drain-Source-Spannungen zu einem nicht-linearen Strom-Spannungs-Verhalten, wohingegen die Ausgangskennlinie für einen optimierten Metall-Halbleiter-Übergang den zu erwartenden linearen Anstieg des Drain-Source-Stromes im Bereich  $|V_{DS}| < |V_{GS} - V_T|$  aufweist. Somit spielt die Optimierung des Kontaktwiderstandes eine wichtige Rolle in der organischen Elektronik. Im Folgenden wird nun die Extraktionsmethode<sup>1</sup> für den Kon-

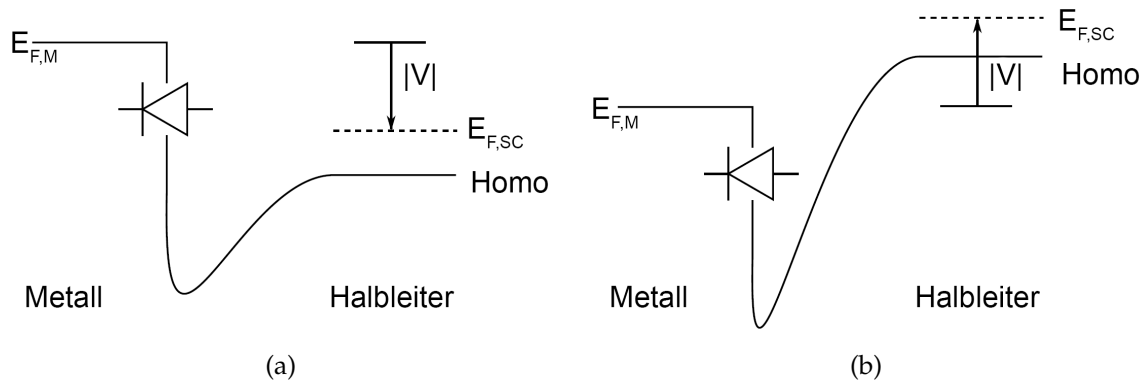


Abbildung 4.2: Bandverbiegung des HOMOs (für Löcher) aufgrund unterschiedlicher Spannungen, die am Halbleiter anliegen, (a) für ein positives Potential  $V > 0$  V des Halbleiters verglichen zum Metall, (b) für ein negatives Potential  $V < 0$  V verglichen zum Metall. Im Falle der Source-Elektrode gilt, dass das Potential am Metall  $V_S = 0$  V und während des Betriebs des p-OTFT das Potential am Halbleiter  $V < 0$  V ist. Die Schottky-Diode an der Source-Elektrode ist somit in Sperrrichtung gepolt.

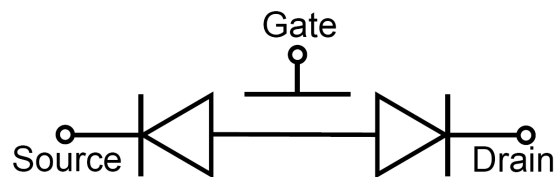


Abbildung 4.3: Modellstruktur für einen Transistor, wobei sich Schottky-Dioden an der Source- und der Drain-Elektrode ausbilden.

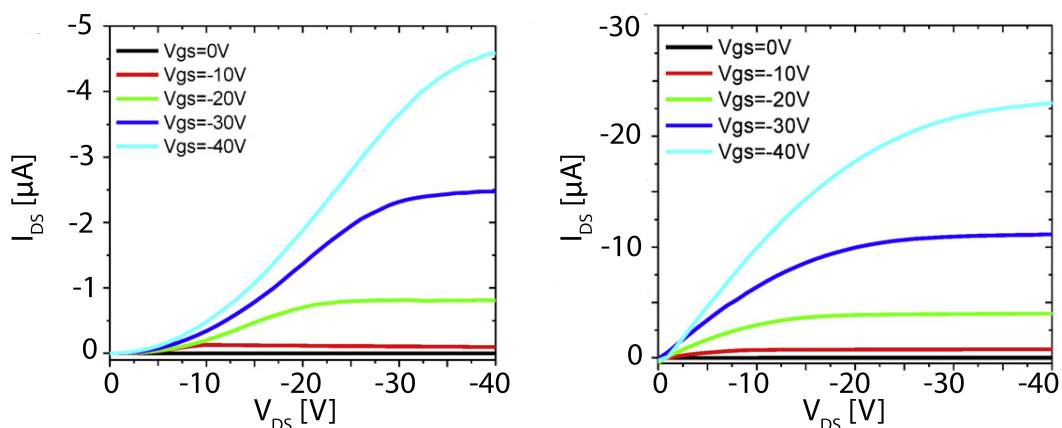


Abbildung 4.4: Ausgangscharakteristik eines OTFTs mit verringerter Ladungsträgerinjektion aufgrund eines hohen Kontaktwiderstandes (links) und guter Ladungsträgerinjektion aufgrund eines geringen Kontaktwiderstandes (rechts) [26]. Aufgrund des größeren Kontaktwiderstandes (links) steigt der Strom für kleine Drain-Source-Spannungen nicht-linear an.

taktwiderstand beschrieben und durch welche physikalischen Prozessparameter, wie z.B. die Leistung und Gasart der Plasmavorbehandlung bzw. die Dicke des Halbleiters, dieser verändert werden kann.

## 4.2 Bestimmung des Kontaktwiderstandes

Mithilfe der sogenannten "Transfer Line Methode" (TLM) [48] kann der Kontaktwiderstand aus der Strom-Spannungs-Charakteristik extrahiert werden. Hierzu wird in der Ausgangskennlinie von Transistoren verschiedener Kanallängen  $L$  für eine Drain-Source-Spannung  $V_{DS}$  der hervorgerufenen Drain-Source-Strom  $I_{DS}$  ermittelt und der totale Widerstand

$$\begin{aligned} R_{tot} &= \frac{V_{DS}}{I_{DS}} = R_{CH} + R_{CD} + R_{CS} \\ &= R_{CH} + R_C = \frac{L}{C_{OX}\mu(V_{GS} - V_T)} + R_C, \end{aligned} \quad (4.2)$$

über diese verschiedenen Transistorkanallängen  $L$  aufgetragen. Hierbei sind  $R_{CH}$  der Kanalwiderstand,  $R_{CD}$  die Kontaktwiderstände an der Drain-Elektrode und  $R_{CS}$  die Kontaktwiderstände an der Source-Elektrode, beide zusammengefasst im Kontaktwiderstand  $R_C$ . Die Extrapolation einer Ausgleichgeraden durch diese Punkte zu  $L = 0$  ergibt als y-Achsenabschnitt den Kontaktwiderstand  $R_C$ . Um den Kontaktwiderstand eines Transistors nach der TLM zu extrahieren, werden also weitere Transistoren mit verschiedenen Transistorkanallängen  $L$  aber gleicher Transistorkanalweite  $W$  benötigt um die Extrapolation für  $L = 0$  durchführen zu können. Da das Verhalten eines OTFT herstellungsbedingten Prozessschwankungen unterlegen ist (siehe Kapitel 9), werden für eine präzisere Extraktion alle Transistoren bezüglich ihrer Mobilität normiert, da diese mitunter schwanken kann [64,83]. Es wird angenommen, dass der Kontaktwiderstand  $R_C$  unabhängig von der Mobilität  $\mu$  ist, kann Gleichung 4.2 zu

$$R_{tot} \cdot \mu = \frac{L}{C_{OX}\mu(V_{GS} - V_T)} \cdot \mu + R_C \cdot \mu \quad (4.3)$$

modifiziert werden. Abb. 4.5(a) und 4.5(b) zeigen beispielhaft TLM-Graphen ohne und mit Normierung auf die Mobilität. Die Messpunkte (blaue Kreuze) führen zu der TLM-Ausgleichgeraden (rote Linie) mit Bestimmtheitsmaßen der Regression von 0,819 für Abb. 4.5(a) bzw. 0,983 für Abb. 4.5(b). Abb. 4.5(b) zeigt mit dem geringeren Bestimmtheitsmaß, dass eine genauere Extraktion und somit präzisere Kontaktwiderstände mit Normierung auf die Mobilität erreicht werden können. Die TLM [48], wenn auch normiert auf die Mobilität, ergibt nur einen Mittelwert des Kontaktwiderstandes aller Transistoren, die für diesen TLM-Lauf benutzt wurden. Um den Kontaktwiderstand eines Transistors zu ermitteln und nicht den Mittelwert aller für die TLM benutzten, wird im folgenden eine Methode vorgestellt, die die für die TLM benutzten Transistoren permutiert. Um den Kontaktwiderstand eines Transistors durch die TLM zu bestimmen, werden

<sup>1</sup>Die Extraktionsmethode sowie die daraus gewonnenen Kontaktwiderstände sind im Rahmen einer Bachelorarbeit [8], die automatisierte FE-Simulationsumgebung ist im Rahmen einer Studienarbeit [31] unter meiner Anleitung und Betreuung entstanden.

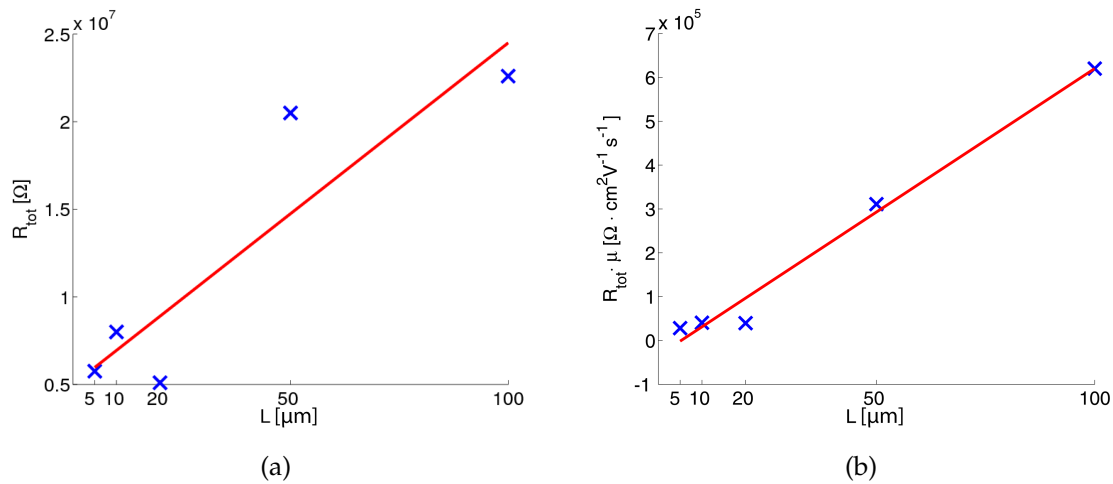


Abbildung 4.5: Gesamtwiderstand  $R_{tot}$ , wie er a) ohne  $\mu$ -Normierung und b) mit  $\mu$ -Normierung durch die TLM für Transistoren extrahiert wurde [67].

die Transistoren mit den benötigten  $L$  gewechselt. Um also z.B. den Kontaktwiderstand eines Transistors mit  $L = 5 \mu m$  zu extrahieren, werden die anderen Transistoren mit Kanallängen  $L$  von 10, 20, 50 und  $100 \mu m$  entweder anhand einer Klassifikation gewählt, oder ohne Klassifikation, wodurch eine volle Permutation stattfindet. Somit ergeben sich für den Transistor mit  $L = 5 \mu m$  verschiedene Kombinationen der anderen Transistoren mit  $L = 10, 20, 50$  und  $100 \mu m$ . Verschiedene TLM-Ausgleichskurven können damit an die Messdaten gelegt werden, und ein Kontaktwiderstand als Mittelung der Extrapolation auf  $L = 0$  bestimmt werden. Es ergibt sich somit auch die Möglichkeit, den Kontaktwiderstand anhand der Klassifikationen zu bestimmten und Abhängigkeiten zu untersuchen. Die Transistoren sind in folgenden Gruppen klassifiziert worden und die möglichen Permutationen in Tabelle 4.1 aufgelistet:

- keine Klassifikation=„full permutation“: 26400 Permutationen sind in dieser Kategorie möglich.
- Distanz vom Zentrum: Entsprechend Abb. 4.6(a) sind drei Distanzklassen gezogen worden, in denen Transistoren auf dem Substrat liegen können. Da gewisse funktionale Materialien durch Spin-Coating aufgetragen worden sind, kann eine radiale Abhängigkeit erwartet werden. Es ergeben sich 12, 60 und 480 Permutationen für *Distanz1*, *Distanz2* bzw. *Distanz3*.
- Geometrie: Auf dem Substrat befinden sich Transistoren mit unterschiedlicher Geometrie (siehe Abb. 4.6(b)), nämlich mit horizontalen, vertikalen sowie runden Transistorkanälen. Für die Geometrien A, B, C und D erhält man 128, 128, 12 bzw. 3 Permutationen.
- Reihe: Nach Abb. 4.6(b) befinden sich sieben verschiedene Reihen auf dem Substrat, aus denen Transistoren für die Kontaktwiderstandsextraktion entnommen werden können. Ein Vergleich zwischen diesen Reihen als auch zwischen den Geometrien kann besonders bei Druckprozessen interessant sein, da sich Position als auch

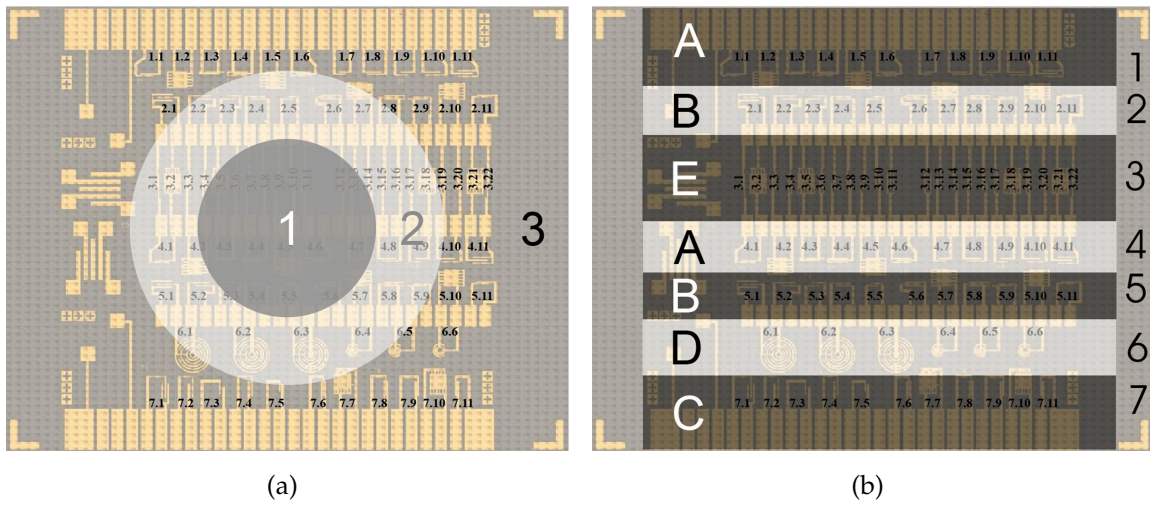


Abbildung 4.6: Klassifikation der Transistoren in (a) Distanz vom Zentrum des Substrates und (b) die verschiedenen Geometrien in den sieben Reihen auf dem Substrat [67].

Geometrie eines Transistors kritisch auf dessen elektrisches Verhalten auswirken können. Für die Reihen 1-7 (außer Reihe 3) ergeben sich 3, 2, 4, 5, 3 bzw. 12 Permutationen.

- Weite: Verschiedene Transistorkanalweiten sind auf dem Substrat platziert. Die verfügbaren Permutationen sind 8, 80, 15 und 12 für Weiten von 0,5 sowie 1, 2 und 10mm.

Der Kontaktwiderstand kann entsprechend dieser Klassen extrahiert werden. So sind z.B. für die Kategorie *Distanz1* für die TLM nur jene Transistoren verwendet und permutiert worden, die auch in dieser Distanz vom Zentrum des Substrates liegen. Der extrahierte Kontaktwiderstand ist dann mit dem aus *Distanz2* und *Distanz3* verglichen worden. Für diese Permutationsmethode sind die Transistoren aus Tabelle 3.1 in Abschnitt 3.1 verwendet worden, die jedoch unterschiedliche Transistorkanalweite  $W$  haben. Aus diesem Grund ist der Widerstand für jeden Transistor mit dessen Kanalweite  $W$  multipliziert worden, wodurch sich ein spezifischer Kontaktwiderstand  $R'_C$  mit der Einheit  $\Omega m$  ergeben hat, der somit besser für unterschiedliche weite Transistorkanäle verglichen werden konnte. Um den Einfluss des Prozesses bei der Herstellung der Transistoren auf den spezifischen Kontaktwiderstand zu untersuchen, sind verschiedene Proben wie in Tabelle 4.2 entsprechend der Beschreibung in Abschnitt 3.1 hergestellt worden. Bei diesen Proben sind das Prozessgas während der Plasmabehandlung, die Leistung der Plasmabehandlung und der Feststoffgehalt des Halbleiters variiert worden.

Tabelle 4.1: Mögliche Permutationen pro Kategorie

Kategorie		L [ $\mu\text{m}$ ]	Anzahl möglicher Permutationen $n_{TLM}$
<b>keine Kategorie</b> = "full permutation"		5, 10, 20, 50, 100	26400
<b>Distanzklassen</b>	1	10, 20, 50, 100	12
	2	5, 10, 20, 50, 100	60
	3	5, 10, 20, 50, 100	480
<b>Geometrie</b>	A	5, 10, 20, 50, 100	128
	B	5, 10, 20, 50, 100	128
	C	5, 10, 20, 50, 100	12
	D	20, 100	3
	E	-	0
<b>Reihe</b>	1	5, 10, 20, 100	3
	2	5, 10, 20, 50, 100	2
	3	-	0
	4	5, 10, 20, 50, 100	4
	5	5, 10, 20, 100	6
	6	20, 100	3
	7	5, 10, 20, 50, 100	12
<b>Weite [mm]</b>	0.5	50, 100	8
	1	5, 10, 50, 100	80
	2	10, 20, 100	15
	10	5, 10	12

Tabelle 4.2: Probenübersicht und Prozessparameter der sechs verwendeten Proben, bei denen das verwendete Prozessgas während der Plasmabehandlung, die Plasmaleistung und der Feststoffgehalt des Halbleiters variiert wurden. Der Druck von 0,4 mbar und der Abstand der Proben von der Elektrode 5 cm ist, wie in Abschnitt 3.1 beschrieben, eingehalten worden.

Probenname	Prozessgas	elektrische Leistung [W]	Feststoffgehalt des Halbleiter [wt-%]
none-2%	/	/	2
Ar-300-1%	Argon	300	1
Ar-150-2%	Argon	150	2
Ar-300-2%	Argon	300	2
Ar-300-3%	Argon	300	3
O2-300-2%	Sauerstoff	300	2

### 4.3 Plasmaabhängiger spezifischer Kontaktwiderstand

Die chemische und physikalische Morphologie des Goldes der Source und Drain Kontakte hat einen großen Einfluss auf die Ladungsträgerinjektion [4,5]. Die Austrittsarbeit der Elektrode ändert sich z.B. durch eine Oxidschicht: Neben der Differenz der Vakuumlevel bildet sich auch ein Dipolmoment in der Schicht durch Anordnung von Metallkationen und Sauerstoffanionen. Dieses Dipolmoment kann die Injektionsbarriere, abhängig von der Orientierung, vergrößern, aber auch verringern.

Eine Oxidation oder anderweitige Kontamination mit Materialien mit großer Bandlücke führt zu einer Degradation der Elektrodenoberfläche. Es werden elektronische Zustände generiert, die durch die Ladungsträger nicht besetzt werden können, wodurch sich eine isolierende Schicht bildet. Abhängig von der Dicke dieser dünnen Isolationsschicht können Ladungsträger hindurch tunneln [73], jedoch nimmt die Tunnelrate exponentiell mit zunehmender Schichtdicke ab. Mit andere Worten: die Injektion wird verringert und der Kontaktwiderstand nimmt zu [75].

Eine Plasmabehandlung verbessert zum einen die Morphologie des Halbleiters in der Nähe der Elektroden, zum anderen wird durch Reduzierung oder sogar kompletter Entfernung der dünnen Oxid- oder Kontaminationsschicht der Ladungstransfer von Elektrode in den Halbleiter durch diese Zwischenschicht nicht mehr behindert. Weiterhin kann die Injektion durch eine vergrößerte Kontaktfläche verbessert werden [23], was ebenfalls durch die Plasmabehandlung realisiert werden kann. Die Rauigkeit der Goldoberfläche der Elektroden vergrößert die effektive Oberfläche und mehr SAM kann auf dieser größeren Oberfläche abgelagert werden. Da der Halbleiter in direktem Kontakt mit dem SAM ist, verbessert sich somit die Injektion. Weiterhin werden durch die Plasmabehandlung Defekte und Ladungsträgerfallen (entgegengesetzt geladene Ladungen) an der Gold-Halbleiter-Zwischenschicht reduziert [6]. Positive Ionen des Plasmas verbleiben auf der Substratfläche und erzeugen ein elektrisches Feld, das bis in den Transistorkanal wirkt und die Injektion unterstützt. Da OTFTs in Akkumulation betrieben werden, der organi-



sche Halbleiter jedoch kaum bis gar nicht dotiert ist, werden Ladungen für die Bildung eines Akkumulationskanals in den Halbleiter durch eine Gate-Source-Spannung  $V_{GS}$  injiziert. Die Schwellspannung  $V_T$  kann zusätzliche Informationen über die Effizienz der Injektion geben, wobei sie aber auch andere Abhängigkeiten haben kann [3, 24]. Aus diesem Grund kann sie eher als Fitparameter ohne klare physikalische Grundlage angesehen werden [57], wohingegen der Kontaktwiderstand direkt die Injektion quantifiziert. Abb. 4.7(a) zeigt, dass kein klarer Zusammenhang zwischen  $R'_C$  und  $V_T$  besteht, jedoch offensichtlich ein nachvollziehbarer Einfluss des Herstellungsprozesses auf den spezifischen Kontaktwiderstand und somit die Injektion:

für Proben, die nicht plasmabehandelt wurden, sind die höchsten spezifischen Kontaktwiderstände extrahiert worden. Dieser nimmt mit stärkerer bzw. aggressiverer Plasmavorbehandlung ab. Mit einer  $O_2$ -Plasmavorbehandlung nimmt der spezifische Kontaktwiderstand und die Schwellspannung wieder leicht zu. Abb. 4.7(a) verdeutlicht, dass durch die Plasmabehandlung der spezifische Kontaktwiderstand um zwei Größenordnungen verringert werden konnte.

## 4.4 Spezifische Kontaktwiderstände für die verschiedenen Kategorien

Abb. 4.7(b) zeigt die Abhängigkeit des spezifischen Kontaktwiderstandes von der Distanz vom Zentrum des Substrates (Kategorie *Distanz*). Interessanterweise ist der spezifische Kontaktwiderstand für *Distanz2* bedeutend kleiner als für *Distanz1* und *Distanz3*. Die Bildung einer Halbleiterschicht aus der verbliebenen Lösung auf dem Substrat nach dem Spin-Coating beginnt sofort nach Ende der Schleuderbeschichtung aber nicht bereits währenddessen. Das Spin-Coating selbst lässt keine gleichmäßigen Schichten entstehen, sondern die Schichtdicke variiert mit der Distanz von der Rotationsachse [84]. Hinzu kommt, dass die Trocknung zu unterschiedliche dicken Schichten führen kann, sodass die Schichtdicken am Rand bei Halbleiter und Dielektrikum anders sind [12, 37]. Aus diesem Grund werden andere spezifische Kontaktwiderstände extrahiert und die Effekte des Spin-Coatings und der Trocknung tragen somit zu einem distanzabhängigem spezifischen Kontaktwiderstand bei. Fehlende Messpunkte bei *Distanz1* deuten darauf hin, dass der extrahierte spezifische Kontaktwiderstand durch die TLM negativ war und vernachlässigt wurde [97]. Der spezifische Kontaktwiderstand für die weiteren Kategorien Geometrie, Reihe und Weite, wie in Tabelle 4.1 dargestellt, zeigte bei diesen untersuchten Proben aus Tabelle 4.2 keine Abhängigkeit und ist deshalb nicht aufgeführt.

## 4.5 Schichtdickenabhängige spezifische Kontaktwiderstände

Die effektive Kontaktfläche spielt auch eine Rolle bei der Betrachtung verschieden dicker Halbleiterschichten. Abb. 4.8 zeigt, wie angenommen wird, dass sich die Oberflächen in einem OTFT ausbilden. Für dickere Filme ist es wahrscheinlicher, dass der Halbleiter den

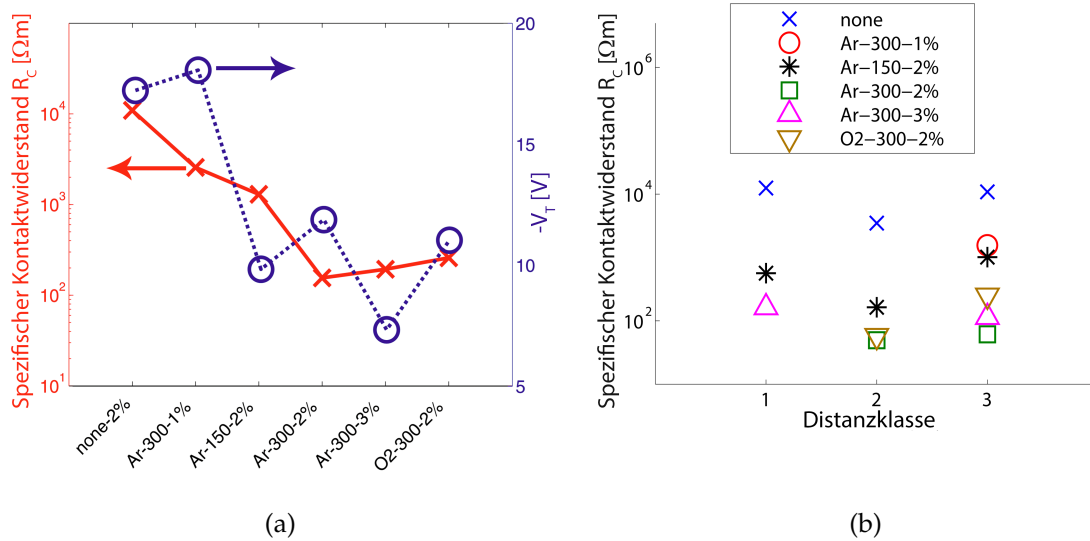


Abbildung 4.7: (a) Vergleich des extrahierten spezifischen Kontaktwiderstandes und der Schwellspannung für die unterschiedlichen untersuchten Proben. Siehe Tabelle 4.2 für eine Beschreibung der Akronyme. (b) Spezifischer Kontaktwiderstand für die verschiedenen Proben in Abhängigkeit von der Distanz vom Zentrum der Probe. Aufgrund fehlgeschlagener TLM oder defekter Transistoren konnten einige spezifische Kontaktwiderstände nicht extrahiert werden (z.B. *Distanz1* für Probe O2 – 300 – 2%) [67].

Goldkontakt mit einer Dicke von 50 nm berührt als lediglich den Ti-Haftvermittler mit ebenfalls 50 nm. Zusätzlich vergrößert sich die Kontaktfläche. Boudinet et al. [3] zeigten, dass nach einer bestimmten minimalen Schichtdicke (bis zu der die vorliegenden Untersuchungen stattgefunden haben) der spezifische Kontaktwiderstand aufgrund des elektrischen Widerstandes des Halbleiters zunimmt, denn Ladungsträger müssen diesen Teil des intrinsischen Halbleiters überwinden, bevor sie dem Ladungstransport im Kanal zur Verfügung stehen. Der Einfluss der Halbleiterschichtdicke wurde durch Extraktion des spezifischen Kontaktwiderstandes aus den Proben Ar-300-1%, Ar-300-2% und Ar-300-3% untersucht. Zunehmender Gewichtsanteil wt-% des Halbleiters bedeutet eine zunehmende Schichtdicke.

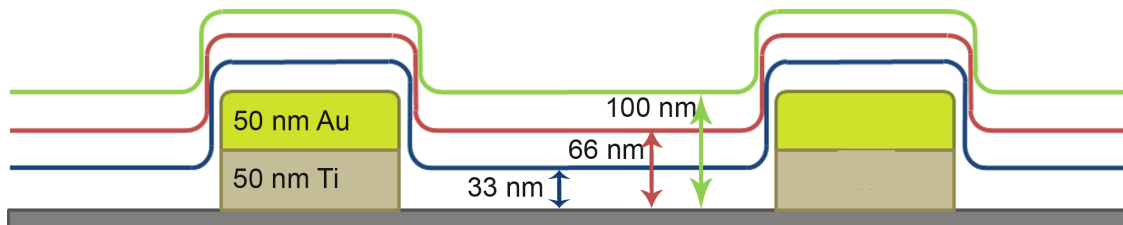


Abbildung 4.8: Schematischer Querschnitt eines OTFT, der die Annahme zeigt, wie sich die Oberflächen der drei verschiedenen Halbleiterschichten mit 33 nm (blau), 66 nm (rot) und 100 nm (grün) Schichtdicke in einem OTFT ausbilden (nicht maßstabsgetreu) [66].

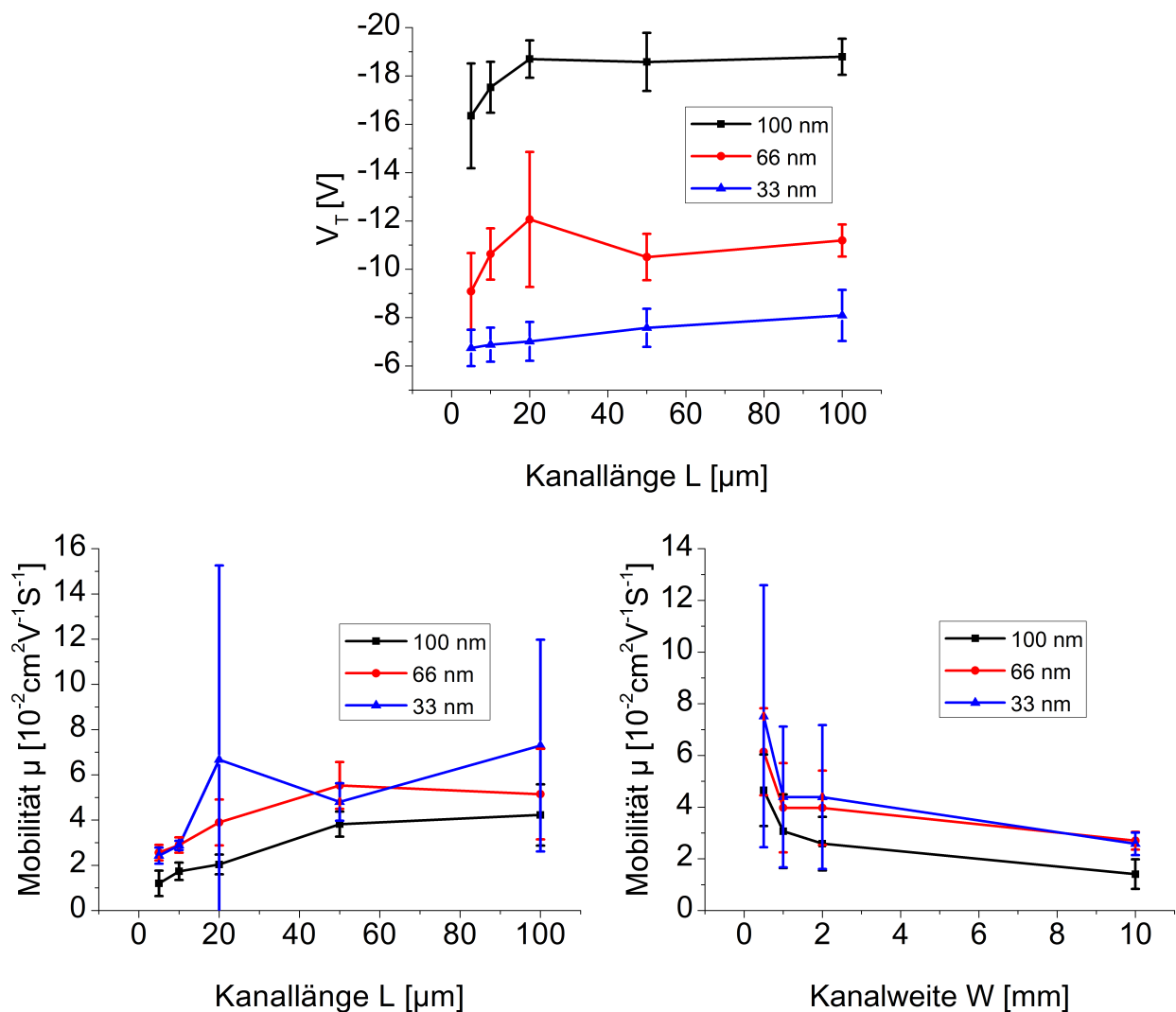


Abbildung 4.9: (a) Schwellspannung  $V_T$  als Funktion der Transistorkanallänge  $L$  für verschieden dicke Halbleiterschichten. Die Schwellspannung ist unabhängig von der Transistorkanallänge, nimmt aber mit zunehmender Schichtdicke des Halbleiters ab.

(b) Mobilität als Funktion der Transistorkanallänge  $L$  für verschieden dicke Halbleiterschichten. Da für kleine Transistorkanallängen der Kontaktwiderstand im Verhältnis zum Kanalwiderstand einen größeren Einfluss auf das Bauteilverhalten hat, nimmt die extrahierte Mobilität ab. Im Vergleich mit unterschiedlichen Schichtdicken nimmt die Mobilität zu, wenn der Halbleiter dicker ist, da er wie in Abb. 4.8 gezeigt einen besseren Kontakt mit der Elektrode herstellt.

(c) Mobilität als Funktion der Transistorkanalweite  $W$  für verschieden dicke Halbleiterschichten. Aufgrund zunehmender Defekte und Ladungsträgerfallen nimmt die extrahierte Mobilität mit zunehmender Transistorkanalweite und somit -fläche ab, ist aber im Vergleich für die verschiedenen Halbleiterschichtdicken größer bei dickeren Halbleiterschichten.

In Abb. 4.7(a) ist zu erkennen, dass der extrahierte spezifische Kontaktwiderstand mit zunehmender Schichtdicke abnimmt. Jedoch kann zwischen den Proben Ar-300-2% und Ar-300-3% nahezu kein Unterschied festgestellt werden, da die kritische Schichtdicke erreicht worden ist, nach der der spezifische Kontaktwiderstand wieder zunimmt [3, 69]. Dies korreliert auch mit Beobachtungen, dass die Schwellspannung mit zunehmender Schichtdicke abnimmt [66], wie es in Abb. 4.9(a) dargestellt ist: Die geringste Schwellspannung ist bei der größten Halbleiterschichtdicke gemessen worden und steigt mit abnehmender Schichtdicke, da sich die effektive Injektionsfläche durch eine ungünstige Ausbildung der Halbleiterschicht um die Kontakte verringert. In Abb. 4.9(b) ist die Mobilität als Funktion der Kanallänge für verschiedene Halbleiterschichtdicken aufgetragen. Zum einen ist zu erkennen, dass für kleine Transistorkanallängen die extrahierte Mobilität geringer ist. Dies kann der Parameterextraktion zugeschrieben werden, denn für kleine Transistorkanallängen beeinflusst der Kontaktwiderstand das Bauteilverhalten im Verhältnis zum Kanalwiderstand mehr als für große Transistorkanallängen. Der Kontaktwiderstand ist aber bei der Parameterextraktion nicht berücksichtigt worden. Zum anderen nimmt die Mobilität für dickere Halbleiterschichten zu, da wie oben beschrieben und in Abb. 4.8 dargestellt, der Halbleiter die Gold-Elektroden mit zunehmender Dicke eher berührt als lediglich nur den Haftvermittler. In Abb. 4.9(c) nimmt die Mobilität für zunehmende Transistorkanalweiten ab. Da sich die Fläche des Transistors mit zunehmender Weite vergrößert und eine konstante Defektdichte pro Fläche angenommen werden kann, nehmen die Anzahl dieser Defekte als auch die der Ladungsträgerfallen (siehe Kapitel 7) zu und führen zu effektiv geringeren Mobilitäten.

## 4.6 Finite-Elemente-Simulation der spezifischen Kontaktwiderstände

Im Folgenden sind die Einflüsse auf den Kontaktwiderstand durch FE-Simulationen modelliert und validiert worden. Inwieweit der Kontaktwiderstand von der Schottky-Barrierenhöhe  $\Phi_B$  als auch der Morphologie des Halbleiters in der Nähe der Source- und Drain-Elektrode sowie der Oberfläche der Metall-Elektroden abhängt, ist durch Transistor-Modellstrukturen untersucht worden. Hierfür ist die FE-Simulationsumgebung *Sentaurus TCAD 2013* von *Synopsys* verwendet worden.

### 4.6.1 Finite-Elemente-Simulationsumgebung *Synopsys Sentaurus TCAD*

Mithilfe von Technology Computer-Aided Design (TCAD) können Halbleiterprozesstechnologien und Bauteile entworfen und optimiert werden. *Synopsys Sentaurus TCAD* löst fundamentale physikalische partielle Differentialgleichungen, wie z.B. die

Diffusions-, die Transport- und die Poisson-Gleichung:

$$\nabla \cdot [\epsilon \nabla \Phi] = -q(p - n + N_D - N_A) \quad (4.4)$$

$$\nabla \cdot \mathbf{J}_n = qR_{net} + q \frac{\partial n}{\partial t} \quad (4.5)$$

$$\nabla \cdot \mathbf{J}_p = -qR_{net} + q \frac{\partial p}{\partial t} \quad (4.6)$$

$$\mathbf{J}_n = -q\mu_n \nabla \Phi + qD_n \nabla n \quad (4.7)$$

$$\mathbf{J}_p = -q\mu_p \nabla \Phi - qD_p \nabla p \quad (4.8)$$

mit der elektrischen Permittivität  $\epsilon$ , dem elektrischen Potential  $\Phi$ , der Elementarladung  $q$ , Löcher- und Elektronendichten  $p$  und  $n$ , der Konzentration ionisierter Donatoren  $N_D$  und ionisierter Akzeptoren  $N_A$ , der Elektronen- und Löcherstromdichten  $J_n$  und  $J_p$ , der netto Rekombinationsrate  $R_{net}$ , der Elektronen- und Löchermobilität  $\mu_n$  und  $\mu_p$  sowie der Elektronen- und Löcherdiffusionskonstanten  $D_n$  und  $D_p$ . Dadurch werden strukturelle Eigenschaften und das elektrische Verhalten von Halbleiterbauteilen modelliert.

Durch diesen physikalischen Ansatz bietet die TCAD Simulation eine voraussagende Genauigkeit für einen breiten Anwendungsbereich von Technologien. Z.B. werden TCAD Simulationen verwendet, um kosten- und zeitintensive Testläufe von Wafern für die Entwicklung und Charakterisierung neuer Halbleiterbauelemente oder Technologien in der Siliziumtechnik zu reduzieren. Zu Beginn einer Technologieentwicklung können mittels *Synopsys TCAD* Alternativen für das Produktdesign untersucht werden. Während der Prozessintegration können Simulationen aufgeteilt werden um umfangreiche Charakterisierung und Optimierungen des Prozesses durchzuführen, was Kosten und Zeit für Experimente auf tatsächlichen Wafern minimiert. Nach Einführung eines Prozesses kann dieser während der Massenproduktion kontrolliert und dadurch die Ausbeute erhöht werden [40]. Da *Synopsys TCAD* hauptsächlich in der anorganischen Siliziumtechnologie Anwendung findet, sind keine Materialdefinitionen organischer Halbleiter oder Dielektrika vorhanden. Aus diesem Grund sind für die Simulationen in dieser Arbeit ein organischer Halbleiter und ein organisches Dielektrikum auf Basis von Silizium und Siliziumdioxid erstellt worden. Tabelle 4.3 gibt eine Übersicht über die verwendeten Materialien und ihrer für die Simulationen kritischen Parameter. Der Wert der Mobilität  $\mu$  für den Halbleiter wurde aus Extraktion der Parameter nach Abschnitt 3.4 gewonnen. Die übrige Wahl der Parameter des Halbleiters stellen typische, aus Publikationen bekannte Werte dar und sind aus [104] entnommen.

Für die Erstellung der zu simulierenden Modellstruktur wurde der *Sentaurus Structure Editor* verwendet. In diesem werden die Bauteileigenschaften wie Abmessungen, Materialien und Formen manuell direkt eingegeben. Es sei angemerkt, dass auf Basis der Siliziumtechnologie die Erstellung von Bauteilen, d.h. der Fabrikationsschritt, ebenfalls modelliert und simuliert werden kann. Wie in Abb. 4.10 dargestellt, können Bauteile (durch Angabe der Strukturdateien *command\_dvs.cmd* und der Datei mit Randbedingungen *boundary\_fps.tdr*) automatisch im *Sentaurus Structure Editor* erstellt werden. Ein Gitter mit Gitterpunkten, in denen die Drift-Diffusions-Gleichungen gelöst werden, ist in der Datei *grid\_msh.tdr* generiert worden. Dieses dient als Grundlage für die eigentliche Simulation des elektrischen Bauteilverhaltens in *Sentaurus Device*. Neben der Angabe des Gitters wird in der Datei *command\_des.cmd* beschrieben, bei welchen Spannungen an den Kontakten welche elektrischen Parameter berechnet werden sollen.

Tabelle 4.3: Übersicht der Simulationsparameter für den in *Sentaurus TCAD* verwendeten organischen Halbleiter [104] und Dielektrikum.

Simulationsparameter	organischer Halbleiter	organisches Dielektrikum
relative Permittivität $\epsilon_r$	11,8	2,3
Bandlücke $E_G$ [eV]	1,08	/
Zustandsdichte für Löcher im Valenzband $N_V$ [ $cm^{-3}$ ]	$1,04 \times 10^{19}$	/
Zustandsdichte für Elektronen im Leitungsband $N_C$ [ $cm^{-3}$ ]	$2,8 \times 10^{19}$	/
Mobilität $\left[ \frac{cm^2}{Vs} \right]$	$1,57 \times 10^{-2}$	/
Mobilität „low_mobility“ $\left[ \frac{cm^2}{Vs} \right]$	$5,86 \times 10^{-3}$	/
Dicke der low_mobility-Schicht [nm]	10	/
Dicke der Oxid-Schicht [nm]	50	/

In der Datei *parametername.par* sind die Materialdefinitionen wie in Tabelle 4.3 hinterlegt. Strom-Spannungs-Kennlinien bzw. das elektrische Potential werden in den Dateien *current\_des.plt* bzw. *plot\_des.tdr* ausgegeben. Ein weiteres wichtiges Werkzeug im Simulationsablauf ist *Sentaurus Workbench*. Diese komplett grafische Oberfläche dient zur Erstellung, Verwaltung, Ausführung und Visualisierung von TCAD Simulationen. U.a. können damit Simulationsprojekte parametrisiert werden und eine Simulation des elektrischen Bauteilverhaltens mit verschiedenen Werten von Materialparametern (z.B. Leitfähigkeit) oder Bauteilparametern (z.B. Abmessungen, Schottky-Barrieren).

#### 4.6.1.1 Transistor-Modellstruktur

Abb. 4.11 zeigt die Transistor-Modellstrukturen, wie sie in *Sentaurus Structure Editor* aufgebaut wurden. Der Aufbau, insbesondere die Abmessungen, richtet sich nach der realen Bauteilstruktur, wie sie in Abschnitt 3.1 beschrieben ist. Es sind folgende Typen von Transistor-Modellstrukturen aufgebaut worden:

- **pure:** Die Ausgangsstruktur beinhaltet lediglich die Angabe der Schottky-Barriere und ist in Abb. 4.11(a) dargestellt. Es sind keine Modifikationen an den verwendeten Materialien oder deren Grenzflächen vorgenommen worden. Für die Modellierung bzw. Simulation wird diese Struktur als ideal angesehen.
- **low\_mobility:** Wie in Abschnitt 4.3 beschrieben, beeinflusst die Plasmabehandlung die Morphologie an der Grenzschicht zwischen Halbleiter und Elektrode. Dieser morphologische Einfluss auf das Bauteilverhalten ist dadurch modelliert worden, dass die Mobilität des Halbleiters in der Nähe der Elektroden geringer definiert wurde als z.B. im Transistorkanal selbst. Abb. 4.11(b) verdeutlicht, wie diese Schicht geringerer Mobilität in der Transistor-Modellstruktur aufgebaut wurde.

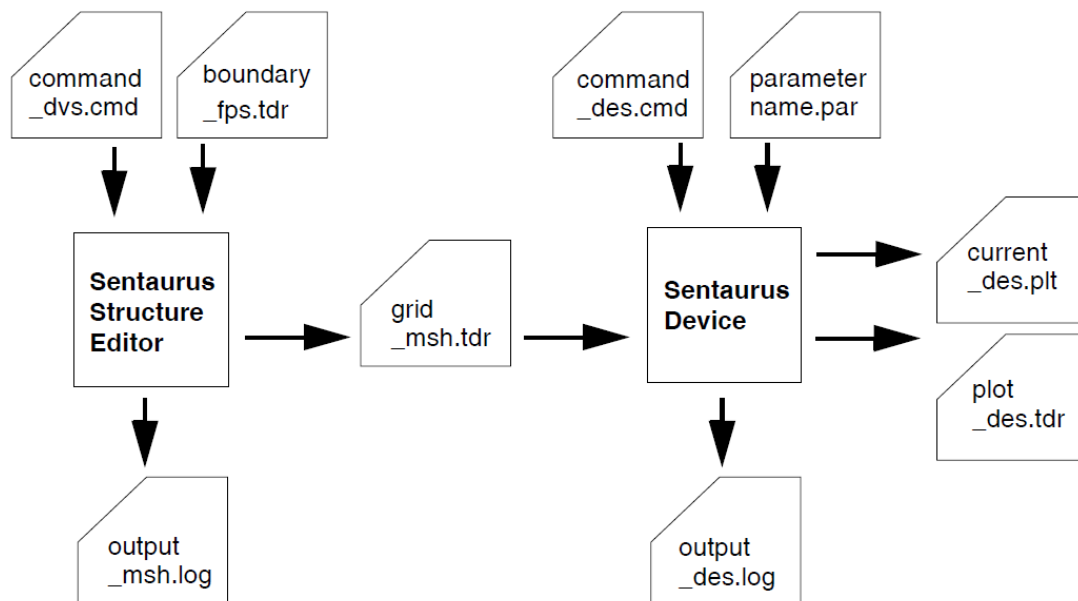


Abbildung 4.10: Typischer Simulationsablauf in *Sentaurus TCAD*. Nach Erstellung des zu simulierenden Bauteils im *Sentaurus Structure Editor* wird auf Basis eines generierten Gitters das elektrische Verhalten in *Sentaurus Device* simuliert und die Ergebnisse ausgegeben [40].

- **oxide:** Wie in Abschnitt 4.3 beschrieben, trägt die Plasmabehandlung neben einer Verbesserung der Morphologie der Grenzfläche Halbleiter-Elektrode zu einer Reduzierung einer Oxid- bzw. Kontaminationsschicht an der Elektrode bei. Eine Transistor-Modellstruktur wie in Abb. 4.11(c) soll dies dadurch modellieren, dass eine 50nm dicke Schicht des im *Sentaurus Structure Editor* bereitgestellten *InsulatorX* auf die Elektroden gelegt wurde. Wie in Abschnitt 4.3 beschrieben, verringert eine Oxid- bzw. Kontaminationsschicht auf den Elektroden die Injektion der Ladungsträger in den Halbleiter (der Kontaktwiderstand steigt).
- **boxes:** Im Gegensatz zur Transistor-Modellstruktur **low mobility** wird eine durch die Plasmabehandlung beeinflusste Morphologie nicht durch Materialparameter (wie die Mobilität), sondern tatsächlich durch eine andere Morphologie modelliert. Hierfür ist wie in Abb. 4.11(d) um die Elektroden eine Reihe von Halbleiter-Kästchen gelegt worden, die eine degradierte Morphologie darstellen sollen, da angenommen wird, dass sich der Halbleiter ohne Plasmabehandlung schlechter an den Elektroden ausbildet und es zu Inhomogenitäten in der Schichtbildung kommt.

Die Transistorkanalweite der Transistor-Modellstrukturen wurde aus Gründen der Rechenzeit auf  $W=1\text{ }\mu\text{m}$  gesetzt. Es wurden Transistor-Modellstrukturen mit Transistorkanallängen von  $L=5, 10, 20, 50$ , und  $100\text{ }\mu\text{m}$  erstellt, sodass eine TLM wie in Abschnitt 4.2 durchgeführt werden konnte. Die Modellstrukturen wurden mit einem Tensorgitter gerastert und die Schottky-Barriere zwischen den Gold-Elektroden Source und Drain und dem Halbleiter mit 0,7 eV definiert. Abb. 4.12 zeigt exemplarisch das Gitter an der Source-Elektrode, wobei hierfür im kritischen Bereich des Transistorkanals und der Grenzfläche Halbleiter-Elektrode eine Verfeinerung durchgeführt wurde. Dadurch beträgt die Größe

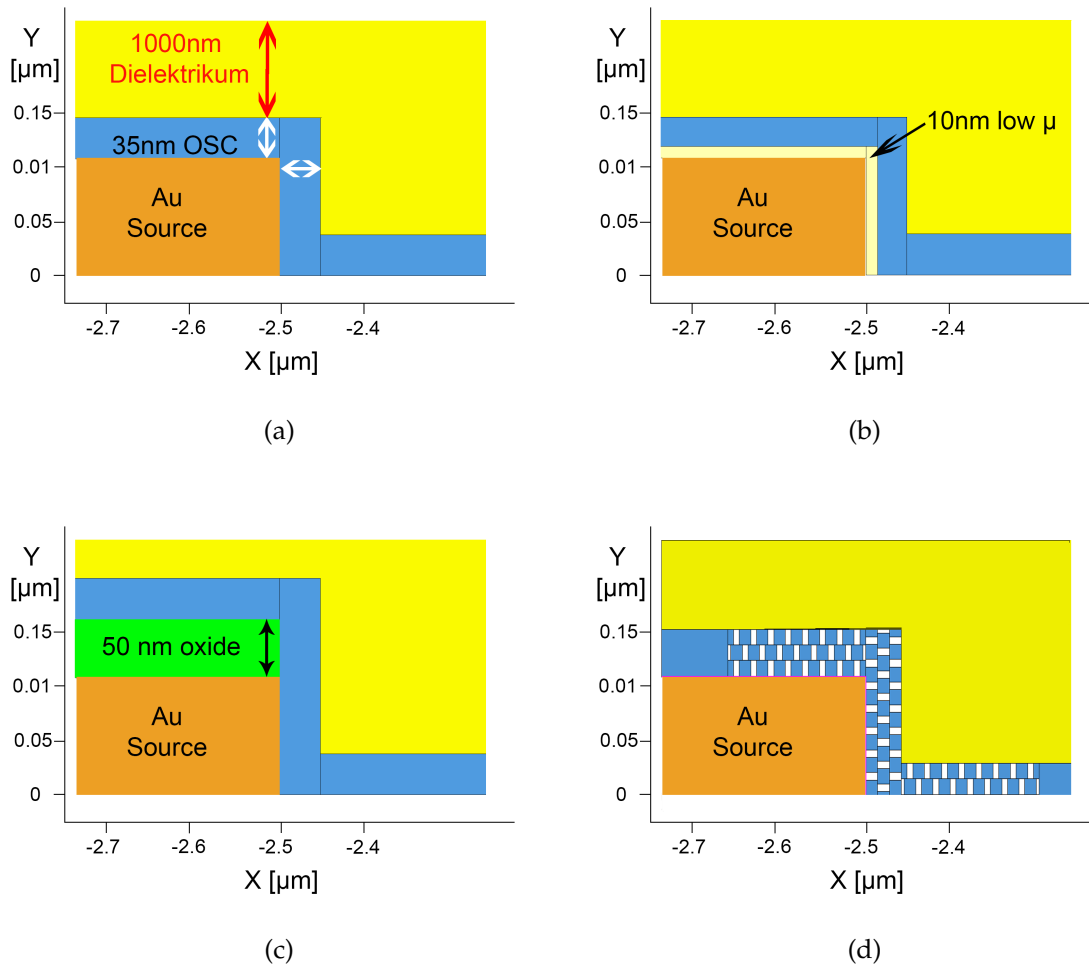


Abbildung 4.11: Transistor-Modellstrukturen in *Sentaurus Structure Editor*: (a) Ideale Referenzstruktur **pure**, (b) Modellstruktur **low\_mobility** für eine degradierte Morphologie durch eine Schicht geringerer Mobilität des Halbleiters in der Nähe der Elektroden, (c) Modellstruktur **oxide** für eine Oxid- bzw. Kontaminationsschicht an den Elektroden, wobei die Oberseite der Elektroden davon durch die Plasmabehandlung befreit wurde und (d) Modellstruktur **boxes** für die Degradierung der Morphologie des Halbleiters in der Nähe der Elektrode, dargestellt durch Halbleiter-Kästchen [62].



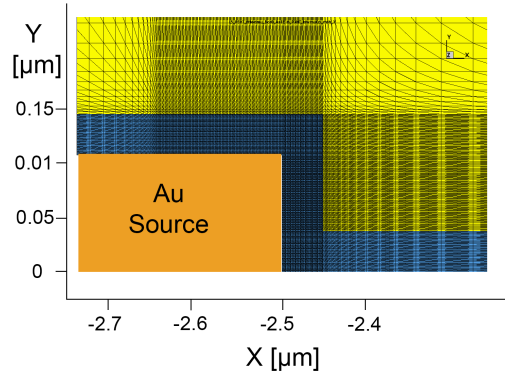


Abbildung 4.12: Tensorgitter an der Source-Elektrode. Im kritischen Bereich des Transistorkanals und der Grenzfläche zwischen Elektrode und Halbleiter ist ein Bereich des Gitters durch eine Verfeinerung auf 10 nm gesetzt worden, um hier genauere Ergebnisse zu erhalten.

eines Gitterelements 10nm. Für die Simulation wurden die von *Sentaurus Device* bereitgestellten Modelle der Poole-Frenkel-Mobilität und gaußverteilter Zustandsdichten verwendet. Die mit der Drift-Diffusions-Gleichung gekoppelte Poisson-Gleichung ist in den Gitterpunkten iterativ gelöst worden. Hierfür ist die *Sentaurus Workbench* verwendet worden, sodass als Transistorkanallängen aller Transistor-Modellstrukturen automatisiert gezeichnet, für die Erstellung eines Gitter gerastert und simuliert wurden.

#### 4.6.1.2 Automatisierte TLM aus der FE-Simulation

Für die Transistor-Modellstruktur **pure** sind Strom-Spannungs-Kennlinien für verschiedene Schottky-Barrierenhöhen in *Sentaurus Workbench* simuliert worden und der spezifische Kontaktwiderstand durch eine automatisierte TLM extrahiert worden. Abb. 4.13 zeigt für zwei Drain-Source-Spannungen  $V_{DS} = -15$  V (durchgezogene Linie) und  $V_{DS} = -2,5$  V den aus den simulierten Ausgangskennlinien extrahierten spezifischen Kontaktwiderstand  $R'_C$  als Funktion der Schottky-Barrierenhöhe  $\Phi_B$ . Als Vergleich ist der theoretische Wert des spezifischen Kontaktwiderstandes  $R'_C$  (gepunktete Linie), bezogen auf eine Stromdichtenfläche von  $1 \mu\text{m}$  und wie er aus der Theorie der Thermionischen Feldemission [51, 86] zu

$$R'_C = \frac{k_B}{qA^*T} \exp\left(\frac{q\Phi_{Bp,eff}}{kT}\right) \quad (4.9)$$

ermittelt werden kann, aufgetragen. Hierfür werden die Boltzmann-Konstante  $k_B$ , die Temperatur  $T$ , die effektive Richardson-Konstante  $A^*$  und die Elementarladung  $q$  benötigt.  $\Phi_{Bp,eff}$  bezeichnet die effektive Schottky-Barriere, die sich aufgrund eines angelegten Feldes ausbildet und durch

$$\Phi_{Bp,eff.} = \Phi_{Bp} - \Delta\Phi_{Bp} \quad (4.10)$$

mittels

$$\Delta\Phi_{Bp} = \sqrt{\frac{qE}{4\pi\epsilon_r\epsilon_0}} \quad (4.11)$$

berechnen lässt [86]. Ab einer Barrierenhöhe von 0,3 eV folgen die simulierten spezifischen Kontaktwiderstände dem exponentiell ansteigenden theoretischen Wert, sodass umgekehrt aus einem ermittelten spezifischen Kontaktwiderstand direkt auf die Barrierenhöhe geschlossen werden könnte.

In Abb. 4.14 ist das elektrische Potential entlang eines Schnittes durch die Transistor-Modellstruktur mit  $L=20\text{ }\mu\text{m}$  dargestellt, wobei sich der Metall-Halbleiter-Übergang an der Source-Elektrode bei  $x=0\text{ }\mu\text{m}$  und an der Drain-Elektrode bei  $x=20\text{ }\mu\text{m}$  befindet. Ausschnittweise Vergrößerungen der Potentiale sind für den Übergang an der Source-Elektrode in Abb. 4.14(b) und an der Drain-Elektrode in Abb. 4.14(c) dargestellt. Es ist klar ersichtlich, dass der Spannungsabfall am Metall-Halbleiter-Übergang an der Source-Elektrode mit  $\approx 22,5\%$  viel größer ist als an der Drain-Elektrode mit  $\approx 0,7\%$ . Wie in Abb. 4.2 dargestellt, ist die Schottky-Diode an der Source-Elektrode in Sperrrichtung, die an der Drain-Elektrode jedoch in Durchlassrichtung gepolt. Aus diesem Grund und den in Abb. 4.14 dargestellten Spannungsabfällen ist der limitierende und für den Kontaktwiderstand ausschlaggebende Faktor die Source-Elektrode. Die Schottky-Diode an der Drain-Elektrode kann somit vernachlässigt werden. Der spezifische Kontaktwiderstand

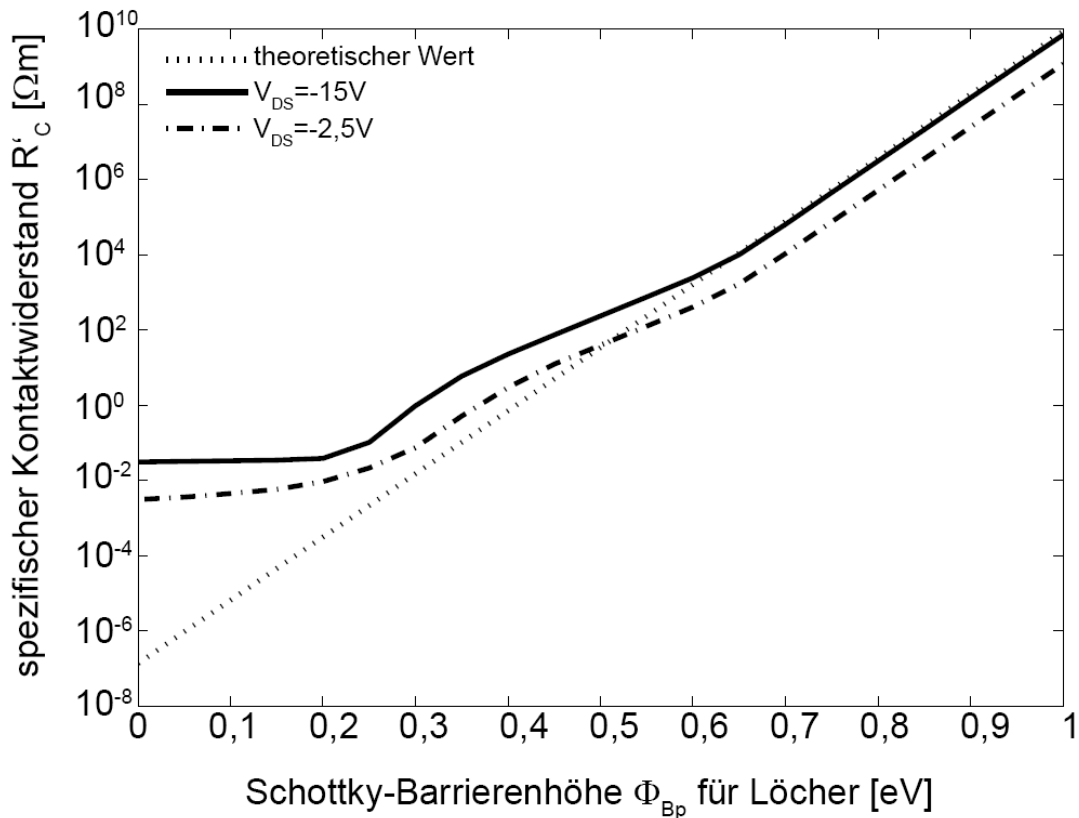


Abbildung 4.13: Simulierter spezifischer Kontaktwiderstand  $R'_C$  für zwei Drain-Source-Spannungen als Funktion der Schottky-Barrierrhöhe  $\Phi_{Bp}$ . Mit zunehmender Schottky-Barrierrhöhe folgt die Simulation einem exponentiellen Anstieg und korreliert sehr gut mit dem theoretisch zu erwartenden Werten, wie sie aus Gleichung 4.9 bestimmt wurden.

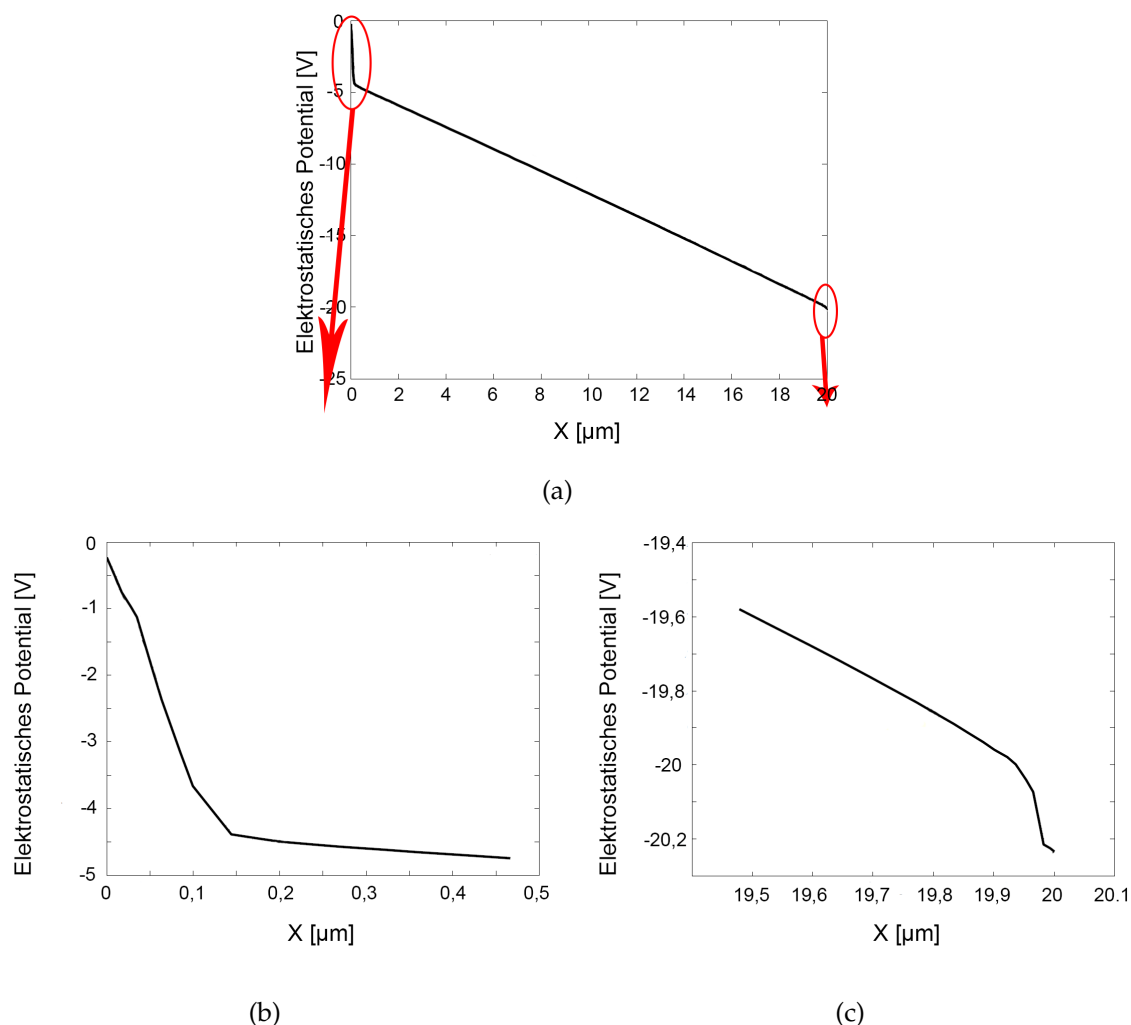


Abbildung 4.14: (a) Simuliertes elektrostatisches Potential im Transistorkanal. Die Source-Elektrode befindet sich bei  $X=0$   $\mu\text{m}$ , die Drain-Elektrode bei  $X=20$   $\mu\text{m}$ .

(b) Vergrößerung des Spannungsabfalls an der Source-Elektrode. Der Spannungsabfall beträgt  $\approx 22,5\%$ .

(c) Vergrößerung des Spannungsabfalls an der Drain-Elektrode. Der Spannungsabfall beträgt  $\approx 0,7\%$ .

lässt sich jedoch nicht nur durch eine Änderung der Schottky-Barrierenhöhe verändern, wie es durch Applikation eines SAMs auf die Elektroden realisiert wird (siehe Abschnitt 3.1), sondern auch durch die Morphologie des Halbleiters am Metall-Halbleiter-Übergang bzw. die Oberfläche der Elektrode. Für die Untersuchung dieser Effekte sind für die insgesamt 20 Transistor-Modellstrukturen (4 Modell-Strukturen, 5 Transistorkanallängen) Strom-Spannungs-Kennlinien entsprechend der Messvorschrift in Abschnitt 3.3 in der *Sentaurus Workbench* simuliert wurden. Abb. 4.15 zeigt die Vergleiche zwischen der Simulation einer Ausgangskennlinie der Transistor-Modellstrukturen und der Probe Ar-300-2% (siehe Tabelle 4.2). Es kann angenommen werden, dass die Probe Ar-300-2% mit der stärksten bzw. aggressivsten Plasmabehandlung nicht genau mit dem simulierten Transistor-Modellstruktur **pure** übereinstimmt. Aus diesem Grund weicht die Si-

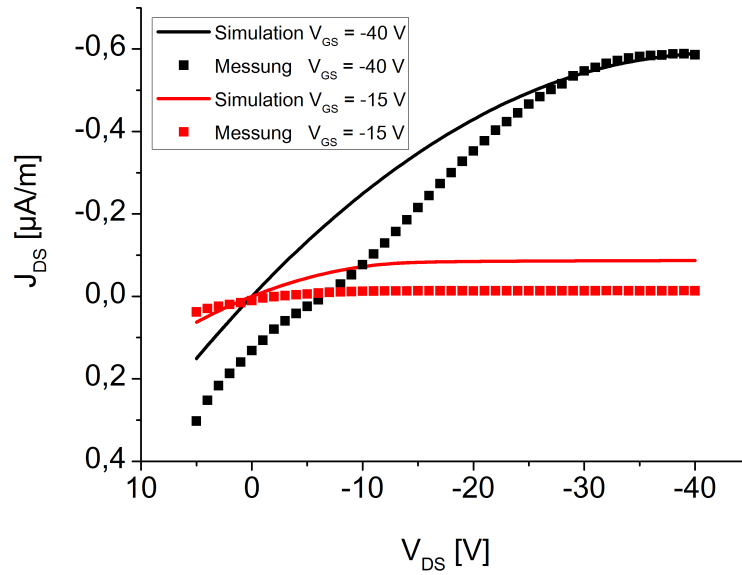


Abbildung 4.15: Vergleich der Stromdichten zwischen einer simulierten Ausgangskennlinie für die Transistor-Modellstruktur **pure** und der Probe Ar-300-2%. Simulation und Experiment decken sich nicht ganz, da angenommen werden kann, dass selbst bei der Probe mit der stärksten bzw. aggressivsten Plasmabehandlung die Schichtmorphologie nicht der Transistor-Modellstruktur **pure** nahekommmt. Eine Anpassung der hier verwendeten Mobilität  $\mu = 1,57 \times 10^{-2} \frac{cm^2}{Vs}$  nach unten würde das Ergebnis optimieren, jedoch würde dieser Mobilitätswert dann nicht mehr mit dem aus den Messdaten extrahierten übereinstimmen [62].

mulation vom Experiment ab. Eine Verringerung der Mobilität in den Simulationsparametern könnte die Simulation zur Deckung mit dem Experiment bringen, würde dann aber nicht mehr der aus der Extraktion gewonnenen Mobilität entsprechen. Der spezifische Kontaktwiderstand  $R'_C$  wurde wie in Abschnitt 4.2 durch Extraktion des Drain-Source-Stromes  $I_{DS}(V_{DS}=-15\text{ V}, V_{GS}=-40\text{ V})$  mittels TLM ermittelt. Trotz Abweichung der simulierten Ausgangskennlinie von der experimentell bestimmten ist diese Spannung im linearen Bereich gewählt worden, da für die TLM-Extraktion des Kontaktwiderstandes im vorliegenden Fall weniger der absolute Wert als vielmehr die Tendenz von Interesse ist. Abb. 4.16(a)-(b) zeigen die TLM-Ausgleichsgeraden und die durch Extrapolation erhaltenen spezifischen Kontaktwiderstände für die vier Transistor-Modellstrukturen **pure**, **low\_mu**, **oxide** und **boxes**. Die aus der FE-Simulation erhaltenen Werte für den spezifischen Kontaktwiderstand werden mit den in Abschnitt 4.3 experimentell bestimmten in Tabelle 4.4 verglichen. Für diese Betrachtung sind die Proben mit 2 wt-% Halbleiter in Betracht gezogen worden, da für diese Proben alle Plasmavariationen vorhanden sind. Der geringste Wert des spezifischen Kontaktwiderstandes aus der Simulation, erhalten für die Transistor-Modellstruktur **pure**, beträgt  $R'_{C,Simulation} = 2,3\text{ k}\Omega m$  und liegt eine Größenordnung über dem experimentell bestimmten Wert für die Probe Ar-300-2% (siehe Tabelle 4.4) von  $R'_{C,Experiment} = 0,15\text{ k}\Omega m$ . Der größte experimentell bestimmte Wert des spezifischen Kontaktwiderstandes, erhalten für die Probe none-2% ((siehe Tabelle 4.4)), beträgt  $R'_{C,Experiment} = 11\text{ k}\Omega m$ . Der Wert für die Transistor-Modellstruktur **low\_mobility** liegt jedoch eine Größenordnung über dem experimentellen Wert. Der spezifische Kontakt-

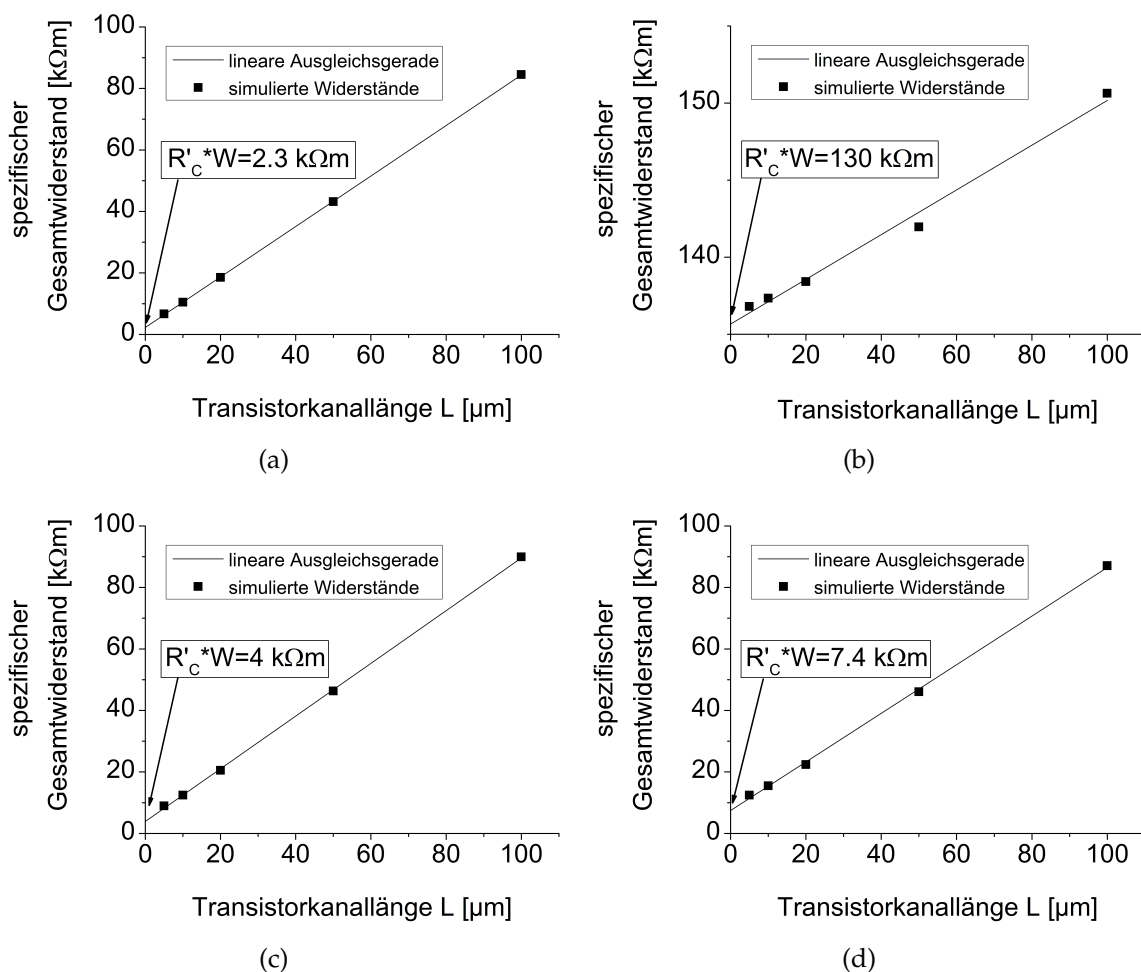


Abbildung 4.16: TLM-Ausgleichsgeraden und durch Extrapolation erhaltene spezifischen Kontaktwiderstände  $R'_C$  für die vier Transistor-Modellstrukturen (a) pure, (b) low\_mu, (c) oxide und (d) boxes entsprechend der Auflistung in Abschnitt 4.6.1.1 [62].

widerstand für die Transistor- Modellstruktur **boxes** mit  $R'_{C,Simulation} = 7,4 \text{ k}\Omega\text{m}$  kommt der Probe none-2% am nächsten. Daraus lässt sich schlussfolgern, dass eine degradierte Morphologie des Halbleiters durch die Plasmabehandlung optimiert werden kann, da diese degradierte Morphologie einen höheren spezifischen Kontaktwiderstand in der Simulation hervorruft, als etwa eine Oxidschicht. Durch eine Parameteranpassung der Mobilität für die **low\_mobility**-Schicht lässt sich der simulierte spezifische Kontaktwiderstand verringern, sodass dieser zur Probe none-2% korrespondieren könnte.

Durch die hier vorgestellten Transistor-Modellstrukturen lassen sich Einflüsse der Morphologie und (Ober)Flächen-Struktur auf den spezifischen Kontaktwiderstand untersuchen. Denkbar ist auch eine Kombination verschiedener Transistor-Modellstrukturen, z.b. einer low\_mobility-Schicht kombiniert mit der Struktur **boxes**.

Tabelle 4.4: Extrahierte spezifische Kontaktwiderstände aus der FE-Simulation für die vier verschiedenen Transistor-Modellstrukturen, verglichen mit den experimentell bestimmten Werten des spezifischen Kontaktwiderstandes für die Proben in Tabelle 4.2, wobei nur jene Proben mit 2-wt% Halbleiter in Betracht gezogen wurden, da hierfür alle Plasmavariationen durchgeführt wurden. Abhängig vom Prozess für die Probenherstellung lässt sich der spezifische Kontaktwiderstand signifikant variieren. Die Transistor-Modellstruktur **boxes** bildet den Prozess für die Probe none-2% (siehe Tabelle 4.2) ab, wohingegen die Transistor-Modellstruktur **pure** der Probe stärkster Plasmabehandlung Ar-300-2% (siehe Tabelle 4.2) entspricht.

Transistor-Modellstruktur	$R'_{C,Simulation}$ [ $10^3\Omega m$ ]	sample	$R'_{C,Experiment}$ [ $10^3\Omega m$ ]
<b>boxes</b>	<b>7,4</b>	<b>none-2%</b>	<b>11</b>
low_mobility	130	Ar-150-2%	1,3
oxide	4	Ar-300-2%	0,15
<b>pure</b>	<b>2,3</b>	O2-300-2%	0,26

## 4.7 Zusammenfassung

In diesem Kapitel ist die Injektion von Ladungsträgern aus der Source-Elektrode in den Halbleiter beschrieben worden. Beginnend bei der Erläuterung durch Banddiagramme ist erklärt worden, wie sich die Schottky-Dioden an den Elektroden ausbilden. Der Einfluss dieser Schottky-Dioden auf das Bauteilverhalten lässt sich durch einen Kontaktwiderstand quantifizieren. Um diesen zu bestimmen ist eine modifizierte Transfer-Line-Methode TLM vorgestellt worden, mittels derer spezifische Kontaktwiderstände automatisiert extrahiert und in Klassifikationen eingeordnet werden können. Unterschieden worden sind spezifische Kontaktwiderstände in radialen Abständen vom Substratmittelpunkt, der Geometrie der Transistoren, der Reihe auf dem Substrat und der Weite der Transistoren. Durch die automatisierte TLM sind spezifische Kontaktwiderstände für unterschiedlich prozessierte Proben extrahiert worden, wobei bei diesen Proben das Plasma-gas, die Plasmaleistung und die Halbleiterschichtdicke variiert wurden. Es konnte nachgewiesen werden, dass die Plasmabehandlung einen signifikanten Einfluss auf die Größe des spezifischen Kontaktwiderstandes hat und dieser um zwei Größenordnungen durch eine entsprechende Plasmavorbereitung der Probe verringert werden kann. Bei der Unterscheidung in Kategorien sind bei Transistoren in der Distanzklasse *Distanz2* geringere spezifische Kontaktwiderstände extrahiert worden, als in der inneren und äußeren Distanzklasse *Distanz1* und *Distanz3*, da durch das Spin-Coating des Halbleiters unterschiedliche dicke Schichten entstehen, als auch durch die Trocknung des Halbleiters und des Dielektrikums. Für die weiteren Klassen sind keine Abhängigkeiten des spezifischen Kontaktwiderstandes festgestellt worden.

Um die genauen Ursachen für den spezifischen Kontaktwiderstand zu untersuchen, sind in der FE-Simulationsumgebung *Sentaurus TCAD* Transistor-Modellstrukturen, mit unterschiedlichen Morphologien am Metall-Halbleiter-Übergang, aufgebaut worden. Durch die FE-Simulation konnte der Einfluss der Plasmabehandlung dahingehend nachgewie-

sen werden, dass sich die Morphologie des Halbleiters am Metall-Halbleiter-Übergang verbessert. Mit den verwendeten Simulationsparametern zeigte eine Oxidschicht auf der Elektrode nicht den Einfluss auf den Kontaktwiderstand wie etwa die Morphologie des Halbleiters. Die vorgestellte und aufgebaute Simulationsumgebung erlaubt weitere Untersuchungen struktureller Eigenschaften der funktionalen Materialien in einem OTFT nicht nur auf den spezifischen Kontaktwiderstand, sondern generell auf das Bauteilverhalten.

Ladungsträger, die nun in den Halbleiter injiziert worden sind, stehen dem Ladungstransport im Transistorkanal zu Verfügung. Im nächsten Kapitel wird dieser durch einen analytischen Ausdruck für das elektrostatische Potential modelliert.





# Kapitel 5

## Kanalpotential des organischen Dünnschichttransistors und Simulation des Ladungstransportes

### Inhalt

---

5.1	Motivation für die Herleitung eines analytischen Ausdrucks des Kanalpotentials . . . . .	48
5.2	Konforme Abbildung . . . . .	49
5.3	Laplace- und Poisson-Gleichung . . . . .	53
5.4	Vergleich des analytischen und numerischen Kanalpotentials . . . . .	54
5.5	Monte-Carlo Ladungstransportsimulation . . . . .	54
5.5.1	Ablauf der Monte-Carlo Simulation . . . . .	56
5.5.2	Visualisierung des Hüpf-Prozesses . . . . .	58
5.5.3	Ladungsträgerfallen . . . . .	60
5.5.4	Strom-Spannungs-Kennlinien . . . . .	60
5.5.5	Transiente Monte-Carlo Simulation des Ladungsträgertransportes . . . . .	62
5.6	Zusammenfassung . . . . .	63

---

## 5.1 Motivation für die Herleitung eines analytischen Ausdrucks des Kanalpotentials

Die Entwicklung der Elektronik und auch insbesondere der gedruckten organischen Elektronik wäre nicht möglich ohne robuste CAD- und Simulationswerkzeuge. Diese benötigen akkurate Modelle sowohl zur Beschreibung einzelner Bauteile als auch daraus aufgebauter Schaltungen. Diese Modelle müssen exakt und schnell hinsichtlich der Zeit für die Berechnung an einem Computer sein [88], [19]. Deshalb werden analytische Gleichungen benötigt, da nur sie diese Anforderungen erfüllen [45]. Da organische Dünnschichttransistoren physikalisch anders zu beschreiben sind als anorganische, müssen Modelle für die Schaltungssimulation hergeleitet werden, die diesen organischen physikalischen Prinzipien Rechnung tragen [49], [36]. Es existiert bereits ein analytisches Modell für Dünnschichttransistoren auf Siliziumbasis (das sogenannte MOS-Modell) [72], [86], dieses kann aber, wie in Abschnitt 3.4.1 dargestellt, nur bedingt für die Beschreibung organischer Dünnschichttransistoren verwendet werden. Ein Grund besteht dafür ist, dass das MOS-Modell den Ladungstransport durch ballistischen Transport beschreibt [86], während Ladungsträger in organischen Materialien zwischen lokalisierten Zuständen unterschiedlicher energetischer und räumlicher Abstände hüpfen (VRH-Modell) [50]. Weiterhin unterscheidet sich der Schichtaufbau der Transistoren auf Siliziumbasis von dem organischer Transistoren, insbesondere jener, wie sie in dieser Arbeit untersucht wurden (siehe Abschnitt 3.1). Abb. 5.1 zeigt, dass im Gegensatz zu MOSFETs die in dieser Arbeit verwendeten OTFTs (Abb. 5.1(b)) kein Bulk und keinen elektrischen Anschluss für das Bulk-Potential  $V_{bulk}$  besitzen, wie er in MOSFETs gegeben ist.

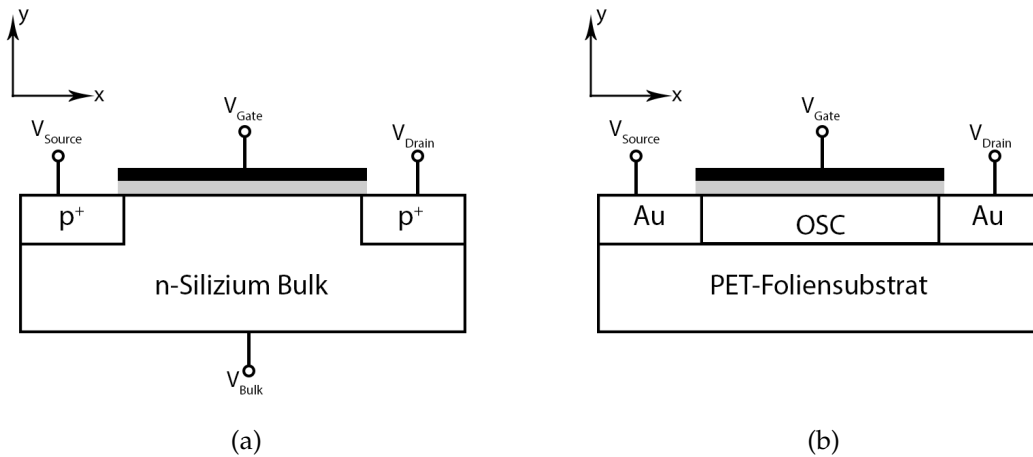


Abbildung 5.1: Schematischer Vergleich zwischen dem Aufbau eines MOSFETs (a) und eines OTFTs (b). Der OTFT als Bauteil mit drei Elektroden (Drain, Source, Gate) besitzt kein Bulk und keine Bulk-Elektrode.

Der OTFT ist somit im Gegensatz zum MOSFET ein Bauteil mit drei Elektroden (Gate, Drain, Source) und nicht mit vier Elektroden (Gate, Drain, Source, Bulk). Für MOSFETs kann ein analytischer Ausdruck für den Drain-Source-Strom  $I_{DS}$  mittels der „Gradual Channel Approximation“ (GCA) hergeleitet werden [78], [86]. In der GCA wird zur Her-

leitung des elektrischen Feldes im Transistorkanal der Beitrag des longitudinalen elektrischen Feldes  $E_x$  in x-Richtung (hervorgerufen durch die Drain- und Source-Potentiale) gegenüber dem transversalen elektrischen Feld  $E_y$  in y-Richtung (hervorgerufen durch die Gate- und Bulk-Potentiale) vernachlässigt, da  $E_y \gg E_x$ . Das elektrische Feld in x-Richtung ändert sich graduell, wohingegen sich das elektrische Feld in y-Richtung schnell ändert, d.h.  $\left| \frac{\partial E_y}{\partial y} \right| \gg \left| \frac{\partial E_x}{\partial x} \right|$  [103], [94]. Nach der GCA trägt nur das elektrische Feld  $E_y$  zur Akkumulation von Ladungsträgern bei. Diese Annahme kann bei OTFT nicht gemacht werden, da die Stärke des transversalen und longitudinalen elektrischen Feldes in der gleichen Größenordnung liegt [94]. Um die Größenordnungen der elektrischen Feldkomponenten zu bestimmen, ist das elektrische Feld in *Sentaurus TCAD* in einer Transistor-Modellstruktur wie in Kapitel 4 simuliert und die Ableitungen  $\left| \frac{\partial E_x}{\partial x} \right|$  sowie  $\left| \frac{\partial E_y}{\partial y} \right|$  berechnet worden. Die an den Elektroden angelegten Spannungen betrugen  $V_S = 0 \text{ V}$ ,  $V_D = -15 \text{ V}$  und  $V_G = -40 \text{ V}$ . Abb. 5.2 und 5.3 zeigen die elektrische Feldstärken und deren Ableitung je in der Nähe der Source- und Drain-Elektrode, als auch in der Mitte der Transistor-Modellstruktur. Das elektrische Feld  $E_y$  und dessen Ableitung  $\left| \frac{\partial E_y}{\partial y} \right|$  ist entlang der Strecke C1 und das elektrische Feld  $E_x$  und dessen Ableitung  $\left| \frac{\partial E_x}{\partial x} \right|$  entlang der Strecke C2 in Abb. 5.4 berechnet worden. Die Werte in Tabelle 5.1 zeigen, dass beide Ableitungen im Bereich der Source- bzw. Drain-Elektrode in der gleichen Größenordnung liegen. Weiterhin unterscheiden sich die Komponenten der elektrischen Feldstärke in der Mitte der Transistor-Modellstruktur nur um einen Faktor 2. Da, wie in Kapitel 4 und in [9] gezeigt, die Ausbildung eines Transistorkanals weniger durch Akkumulation von Ladungsträgern aus dem Substrat als viel mehr durch Injektion aus der Source-Elektrode geschieht, spielt das elektrische Feld in der Nähe der Source-Elektrode eine besonders wichtige Rolle. Somit kann das elektrische Feld in x-Richtung für Modellierungszwecke nicht vernachlässigt und die GCA für OTFTs nicht angewandt werden. Um ein analytisches Modell des Transistorkanals für die Schaltungssimulation zu erhalten, das dem Aufbau eines OTFT Rechnung trägt, wird in diesem Kapitel das elektrische Potential und elektrische Feld im Transistorkanal aus der Poisson-Gleichung analytisch berechnet. Diese Lösung wird mit der numerischen Lösung, wie sie durch *Sentaurus* erhalten wurde, verglichen. Mithilfe dieser analytischen Ausdrücke in geschlossener Form ist eine Monte-Carlo-Simulationsumgebung aufgebaut worden, die es ermöglicht die Transfer- und Ausgangskennlinien eines Transistors sowie den statischen und dynamischen Ladungstransport durch den Transistorkanal zu simulieren.

## 5.2 Konforme Abbildung

Für die Berechnung des elektrischen Potentials bzw. der akkumulierten Ladungen in OTFTs sind bereits 1-D-Lösungen bekannt. So berechnete Meijer [56] die Ladungsverteilung im OTFT nach einem  $\alpha$ -Silizium-Modell nach Shur et al. [79], ebenso wie Smits et al. [81] durch Gradual Channel Approximation. Kloes [44] stellte die Vorgehensweise der konformen Abbildung zur Herleitung des zweidimensionalen elektrischen Potentials in einer MOSFET-Struktur vor. Diesem Ansatz wird hier gefolgt, da dadurch die GCA umgangen werden kann. Da sich die Lösung der Poisson-Gleichung in zwei Dimensionen als schwer erweist [44], [45], wird der zweidimensionale Kanal des Transistors durch konfor-

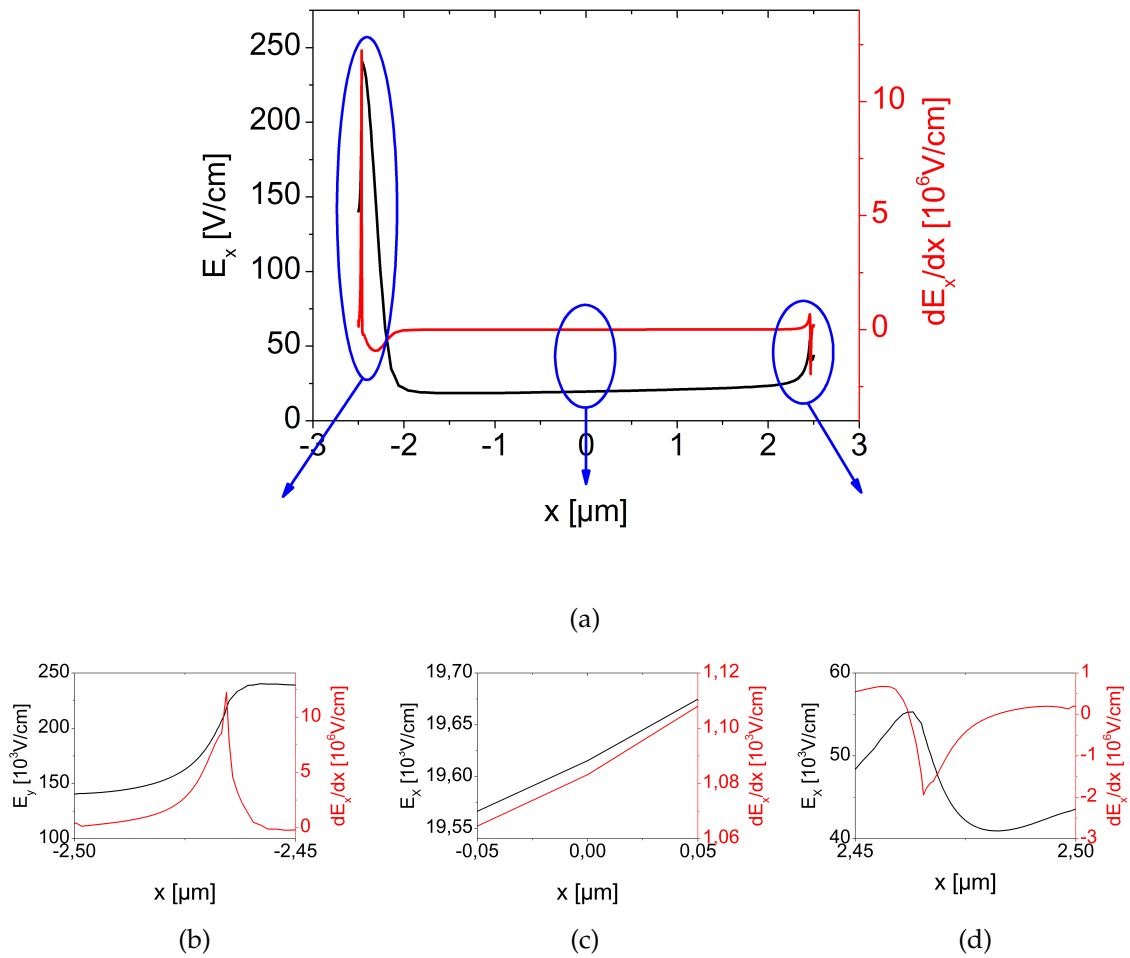


Abbildung 5.2: Feldstärke  $E_x$  und Ableitung  $\frac{\partial E_x}{\partial x}$  entlang der Schnittgeraden C2 in Abb. 5.4. (a) Totalansicht mit Vergrößerungen (b) in der Nähe der Source-Elektrode bei  $x = -2,4875$   $\mu\text{m}$ , (c) in der Mitte der Transistor-Modellstruktur bei  $x = 0$   $\mu\text{m}$  und (d) in der Nähe der Drain-Elektrode bei  $x = 2,4875$   $\mu\text{m}$ .

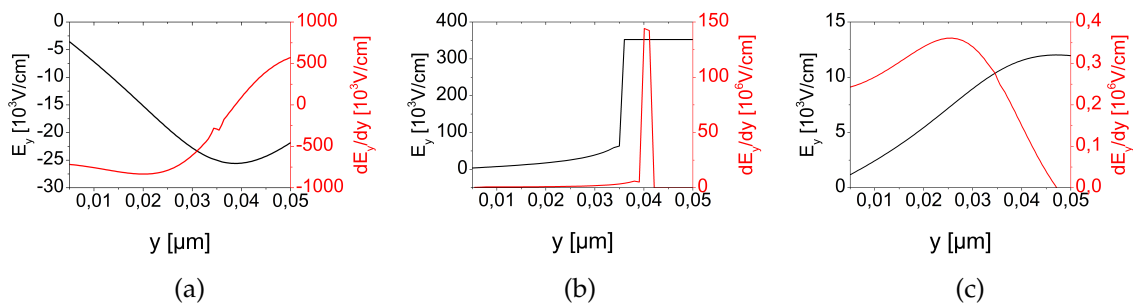


Abbildung 5.3: Feldstärke  $E_y$  und Ableitung  $\frac{\partial E_y}{\partial y}$  entlang der Schnittgeraden C1 in Abb. 5.4 (a) in der Nähe der Source-Elektrode bei  $x = -2,4875$   $\mu\text{m}$ , (b) in der Mitte der Transistor-Modellstruktur bei  $x = 0$   $\mu\text{m}$  und (c) in der Nähe der Drain-Elektrode bei  $x = 2,4875$   $\mu\text{m}$ .

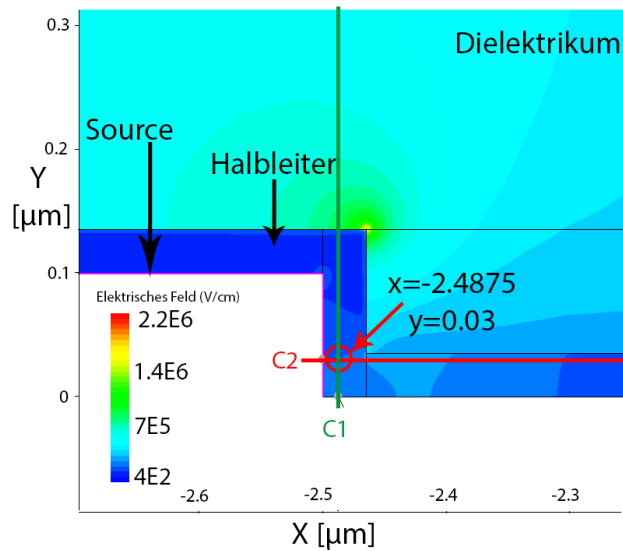


Abbildung 5.4: Querschnitt durch die Transistor-Modellstruktur an der Source-Elektrode und Darstellung der Schnittgeraden C1 und C2 zur Extrahierung der Ableitungen  $\left| \frac{\partial E_x}{\partial x} \right|$  und  $\left| \frac{\partial E_y}{\partial y} \right|$ .

Tabelle 5.1: Aus der *Sentaurus TCAD* extrahierte Ableitungen  $\left| \frac{\partial E_x}{\partial x} \right|$  und  $\left| \frac{\partial E_y}{\partial y} \right|$  der elektrischen Felder in der Nähe der Source- und Drain-Elektrode sowie in der Mitte der Transistor-Modellstruktur. Das elektrische Feld  $E_y$  ist entlang der Schnittgeraden C1 und das elektrische Feld  $E_x$  entlang der Schnittgeraden C2 in Abb. 5.4 extrahiert worden.

		<b>Source</b> $x=-2,4875 \mu\text{m}$ $y=0,03 \mu\text{m}$	<b>Drain</b> $x=2,4875 \mu\text{m}$ $y=0,03 \mu\text{m}$	<b>Mitte</b> $x=0 \mu\text{m}$ $y=0,03 \mu\text{m}$
$ E_x $	$\left[ 10^3 \frac{\text{V}}{\text{cm}} \right]$	145	41	19
$ E_y $	$\left[ 10^3 \frac{\text{V}}{\text{cm}} \right]$	23	9	41
$\left  \frac{\partial E_x}{\partial x} \right $	$\left[ 10^3 \frac{\text{V}}{\text{cm}^2} \right]$	683	144	1
$\left  \frac{\partial E_y}{\partial y} \right $	$\left[ 10^3 \frac{\text{V}}{\text{cm}^2} \right]$	608	340	3690

me Abbildung in ein eindimensionales Gebiet transformiert, in dem die Lösung einfacher zu berechnen ist. Die Idee ist, dass ein Problem mit einer Geometrie, die kompliziert zu lösen ist, in eine Geometrie überführt wird, in der die Lösung bekannt bzw. oder leicht zu erhalten ist. Der Kanal des OTFT mit seinen polygonen Randbedingungen, d.h. Source, Drain und Gate Elektrode, kann in eine obere Halbebene durch die Schwarz-Christoffel Transformation abgebildet werden [45], [93]. Ausgangspunkt ist die OTFT Geometrie wie in Abb. 5.5(a) mit reellen Achsen  $x$  und  $y$  und der Kanalregion mit Source-Elektrode AB, Drain-Elektrode CD und Gate Elektrode BC.  $h$  bezeichnet die Kanalhöhe. Durch eine konforme Abbildung wird Abb. 5.5(a) in Abb. 5.5(b) überführt mit der  $u$ -Achse für

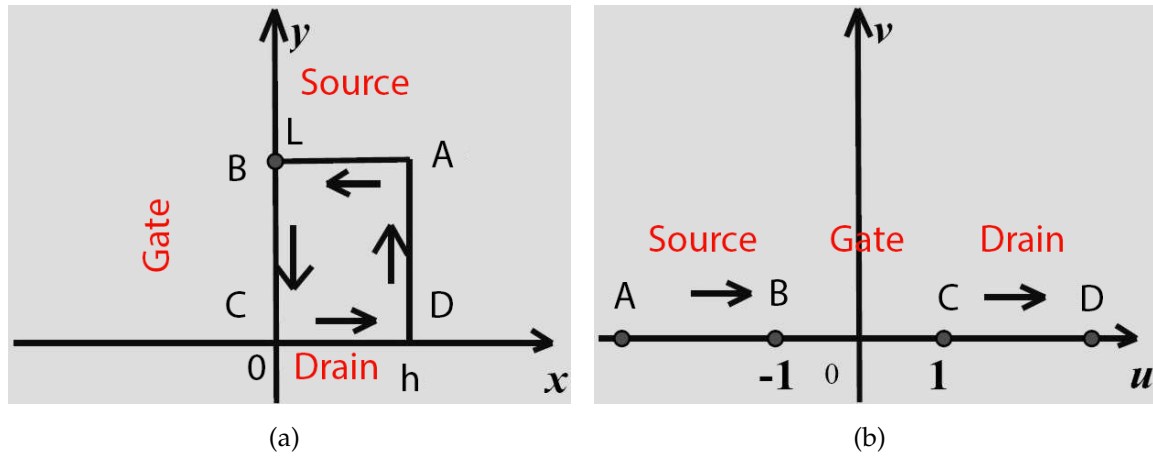


Abbildung 5.5: OTFT Struktur vor und nach konformer Abbildung:

(a) Die OTFT Geometrie in der  $z$ -Ebene wird beschrieben durch ein Rechteck mit Source-Elektrode AB, Drain-Elektrode CD und der Kontakt unterhalb des Gate-Isolators, die Gate-Dielektrikum-Kanal Kondensatorplatte, BC

(b) Die OTFT Struktur in der  $w$ -Ebene nach konformer Abbildung.

den Real- und der  $v$ -Achse für den Imaginärteil. Die Kanalregion des OTFT im Rechteck (Abb. 5.5(a)), für die die Poisson-Gleichung aufgestellt wird, wird in die obere Halbebene in Abb. 5.5(b) abgebildet, wobei die Einheitslänge  $L = 1$  für den Kanal gewählt wurde. Die Schwartz-Christoffel Differentialgleichung für die Transformation der  $z$ -Ebene (Abb. 5.5(b)) in die  $w$ -Ebene (Abb. 5.5(a))

$$\frac{dz}{dw} = S(w - 1)^{-\frac{1}{2}}(w + 1)^{-\frac{1}{2}} \quad (5.1)$$

wird integriert um die Transformation von der  $w$ - in die  $z$ -Ebene zu erhalten:

$$z = S \int_0^w \frac{dt}{\sqrt{(t - 1)(t + 1)}} + K \quad (5.2)$$

Die Integrationskonstante  $K = 0$  erhält man unter der Annahme, dass beide Koordinatensysteme  $w = u + iv$  und  $z = x + iy$  demselben Nullpunkt entspringen, sodass  $w = z = 0$ . Der Vorfaktor  $S$  leitet sich aus der Theorie der konformen Abbildungen her und ergibt sich zu  $L/\pi$ , wodurch man die Transformation

$$z = f(w) = 2\frac{L}{\pi} \ln\left(\frac{\sqrt{w - 1} \sqrt{w + 1}}{\sqrt{2}}\right) \quad (5.3)$$

erhält. Die inverse Transformation ergibt sich zu

$$w = f^{-1}(z) = \frac{e^{\frac{\pi z}{L}} + e^{-\frac{\pi z}{L}}}{2} = \cosh\left(\frac{\pi z}{L}\right). \quad (5.4)$$

Die Separierung von Real- und Imaginärteil führt zu

$$u = \frac{e^{\frac{\pi x}{L}} \cos(\frac{\pi y}{L}) + e^{-\frac{\pi x}{L}} \cos(\frac{\pi y}{L})}{2} = \cos(\frac{\pi y}{L}) \cosh(\frac{\pi x}{L}) \quad (5.5)$$

$$v = \frac{e^{\frac{\pi x}{L}} \sin(\frac{\pi y}{L}) - e^{-\frac{\pi x}{L}} \sin(\frac{\pi y}{L})}{2} = \sin(\frac{\pi y}{L}) \sinh(\frac{\pi x}{L}). \quad (5.6)$$

### 5.3 Laplace- und Poisson-Gleichung

Das elektrische Potential  $\Phi$  und Feld  $E$  im Kanal des OTFT wird durch die Poisson-Gleichung

$$\Delta\Phi(x, y) = \frac{\partial^2\Phi}{\partial x^2} + \frac{\partial^2\Phi}{\partial y^2} = -\frac{\rho}{\epsilon_r\epsilon_0} \quad (5.7)$$

berechnet, wobei  $\rho$  die Ladungsträgerdichte,  $\epsilon_r$  und  $\epsilon_0$  die relative und Vakuumpermittivität bezeichnen. Da organische Halbleiter i.d.R. unipolar und schwach dotiert sind, ist die Ladungsträgerdichte  $\rho$  sehr klein und wird hier durch  $\rho = 0$  vernachlässigt [74]. Aus der Poisson- wird somit die Laplace-Gleichung

$$\Delta\Phi(x, y) = \frac{\partial^2\Phi}{\partial x^2} + \frac{\partial^2\Phi}{\partial y^2} = 0. \quad (5.8)$$

Die Poisson- bzw. Laplace-Gleichung wird, wie in 5.2 beschrieben, in die obere Halbebene abgebildet, da sie sich in dieser leichter lösen lassen. In einer oberen Halbebene mit der Achse  $u$ , die den Realteil, und der Achse  $v$ , die den Imaginärteil darstellt, und der Randbedingung  $\phi(u, 0) = P(u)$ , ergibt sich die Lösung der Laplace-Gleichung in dieser Ebene zu [93]

$$\Phi(u, v) = \frac{v}{\pi} \int_{-\infty}^{\infty} \frac{P(t)}{(u-t)^2 + v^2} dt, \quad (5.9)$$

wobei  $P(u)$  die Potentiale der Elektroden beschreibt. Nimmt man an, dass die Source Elektrode S die Randbedingung  $\phi_S$  für  $-\infty < u < -1$ , das Gebiet unterhalb des Dielektrikums G die Randbedingung  $\phi_{diel}$  für  $-1 \leq u \leq 1$ , und die Drain Elektrode D die Randbedingung  $\phi_D$  für  $1 < u < \infty$  darstellt, wird Gleichung (5.9) zu

$$\begin{aligned} \Phi(u, v) = & \frac{\phi_D + \phi_S}{2} + \frac{\phi_{diel} - \phi_D}{\pi} \cdot \arctan\left(\frac{u+1}{v}\right) \\ & + \frac{\phi_S - \phi_{diel}}{\pi} \cdot \arctan\left(\frac{u-1}{v}\right). \end{aligned} \quad (5.10)$$

Ersetzt man in (5.10)  $u$  und  $v$  aus (5.5) und (5.6), so erhält man das Kanalpotential in der  $z$ -Ebene (Abb. 5.6(a))

$$\begin{aligned} \Phi(x, y) = & \frac{\phi_D + \phi_S}{2} \\ & + \frac{\phi_{diel} - \phi_D}{\pi} \cdot \arctan\left(\frac{\cos(\frac{\pi y}{L}) \cosh(\frac{\pi x}{L}) + 1}{\sin(\frac{\pi y}{L}) \cdot \sinh(\frac{\pi x}{L})}\right) \\ & + \frac{\phi_S - \phi_{diel}}{\pi} \cdot \arctan\left(\frac{\cos(\frac{\pi y}{L}) \cosh(\frac{\pi x}{L}) - 1}{\sin(\frac{\pi y}{L}) \cdot \sinh(\frac{\pi x}{L})}\right). \end{aligned} \quad (5.11)$$

Das Oberflächenpotential  $\Phi_{surf}$  ergibt sich für  $y = 0$ . Das elektrische Feld  $\vec{E}$  berechnet sich aus

$$\vec{E}(u, v) = -\nabla \cdot \Phi(u, v). \quad (5.12)$$

Das Einsetzen von  $u$  und  $v$  aus (5.5) und (5.6) in (5.12) führt zum elektrischen Feld im Transistorkanal. Die gesamte Oberflächenladung am Übergang Halbleiter-Dielektrikum berechnet sich aus dem Gaußschen Gesetz

$$Q_{surf} = -\epsilon_0 \epsilon_r E_y. \quad (5.13)$$

In dem hier verwendeten Modell ist dies die Ladung, die zum Strom im Transistor beiträgt. Der Strom  $I_{DS}$  von Source S zu Drain D im Transistorkanal berechnet sich aus

$$I_{DS} \propto \int_0^L Q_{surf} E_x dx \propto \int_0^L E_x E_y dx. \quad (5.14)$$

## 5.4 Vergleich des analytischen und numerischen Kanalpotentials

In diesem Abschnitt wird das analytisch berechnete Kanalpotential des OTFT mit der numerischen Lösung, wie sie in *Sentaurus TCAD* [40] erhalten wurde, verglichen. Die Bauteilstruktur wurde wie in Abb. 5.6(a) aufgebaut, wobei Gold als Elektrodenmaterial für Source, Drain und Gate verwendet wurde und Vakuum in der Kanalregion. Die Elektroden sind ebenfalls durch Vakuum voneinander getrennt, um einen Kurzschluss auszuschließen. Die Maße der Struktur sind so gewählt worden, dass die Simulation mit der analytischen Lösung mit der Einheitslänge  $L = 1$  verglichen werden kann. Das elektrische Potential für ein Bauteil wie in Abb. 5.6(a) für die Randbedingungen  $\phi_S = 0$ ,  $\phi_{diel} = 2$  und  $\phi_D = 3$  ist in Abb. 5.6(b) dargestellt. Ein Schnitt parallel zur  $x$ -Achse und senkrecht zur  $y$ -Achse bei  $y = 0$ , d.h. parallel zur Gate Elektrode, zeigt das Oberflächenpotential  $\phi_{surf}$  in Abb. 5.7(a). Nach Pesavento et al. [68] ist es gültig, das Potential an der Grenzfläche zwischen Halbleiter und Dielektrikum als Oberflächenpotential anzusehen. Die rechte  $y$ -Achse zeigt den Fehler, d.h. die Differenz  $\Phi_{surf, simulated} - \Phi_{surf, calculated}$  zwischen simuliertem und berechnetem Oberflächenpotential. Die analytische Lösung deckt sich sehr genau mit der numerischen Lösung der Laplace-Gleichung. Geringere Abweichungen ergeben sich im Kontaktbereich bei Source und Drain. Der analytische Ausdruck für das elektrische Potential und das elektrische Feld können daher genutzt werden, um den Ladungsträgertransport in organischen Halbleitern zu untersuchen und wird zu genaueren Modellen für die Schaltungssimulation führen. Der Strom im Transistorkanal aus Gleichung (5.14) ist berechnet worden und in Abb. 5.7(b) dargestellt.

## 5.5 Monte-Carlo Ladungstransportsimulation

Eine Monte-Carlo Simulation bietet sich an um den detaillierten Ladungstransport im Transistorkanal zu untersuchen, denn die auf den Ladungstransport in Halbleitern angewandte Monte-Carlo-Methode besteht aus der Simulation der Bewegung von La-



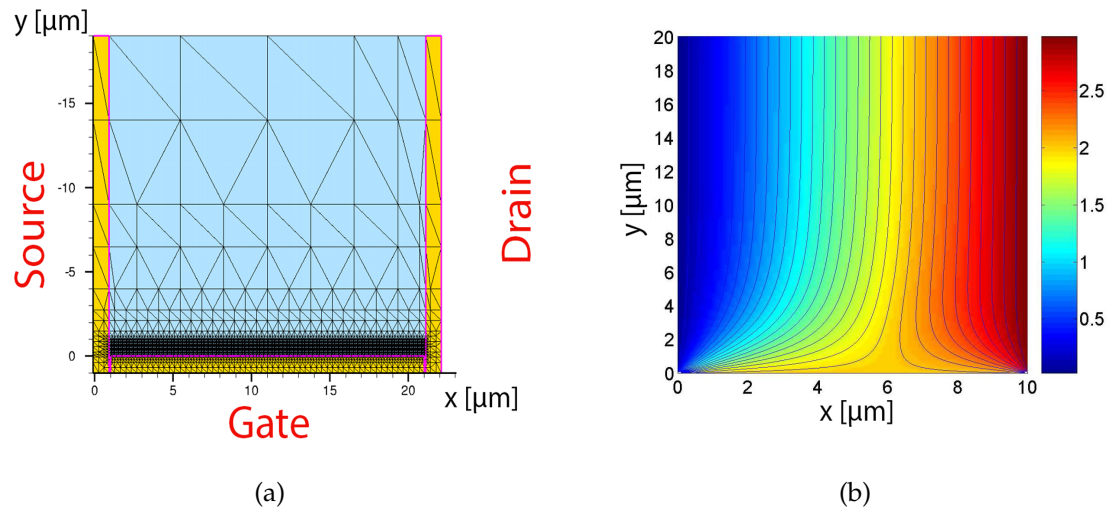


Abbildung 5.6: (a) Die OTFT-Modell-Struktur in der z-Ebene mit generiertem Netz in *Sentaurus TCAD* zur numerischen Simulation des elektrischen Potentials und Feldes.

(b) Analytisch berechnetes elektrisches Potentials und Äquipotentiallinien nach Gleichung 5.11 für die exemplarischen Randbedingungen  $\phi_S=0 \text{ V}$ ,  $\phi_{diel}=2 \text{ V}$  und  $\phi_D=3 \text{ V}$ .

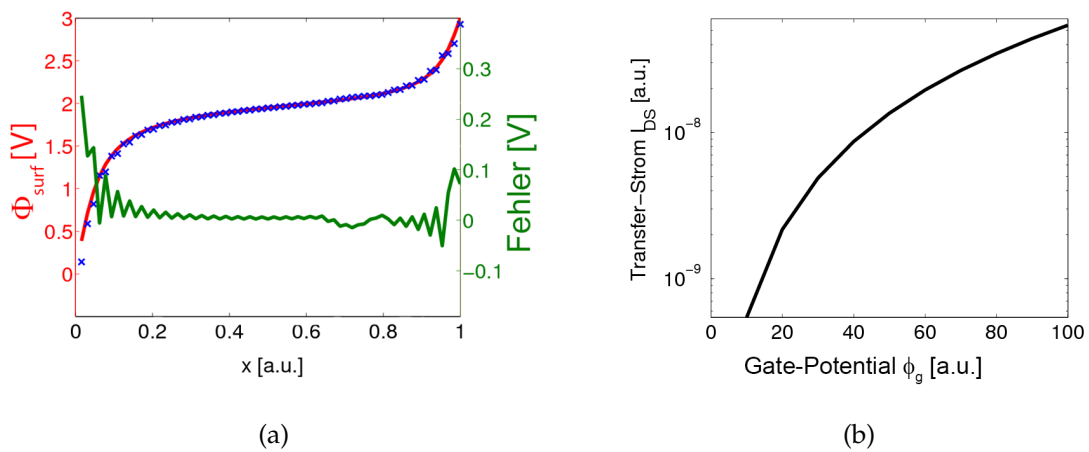


Abbildung 5.7: (a) Vergleich des numerisch simulierten (blau) und analytisch berechneten (rot) Oberflächenpotentials  $\Phi_{surf}$  mit Fehler zwischen numerischer und analytischer Lösung  $\Phi_{surf,simulated} - \Phi_{surf,calculated}$  (grün).

(b) Nach Gleichung 5.14 berechnete Transferkennlinie des Stromes in der OTFT-Modellstruktur.

dungsträgern innerhalb einer Struktur als Reaktion externer Kräfte, z.B. aufgrund eines angelegten elektrischen Feldes und bei gegebenen Streu-Mechanismen. Jede Monte-Carlo-Methode beruht auf der Generierung einer Reihe von Zufallszahlen mit gegebener Verteilung ihrer Wahrscheinlichkeiten. Jacoboni und Lugli [42] geben eine fundierte Einführung in die Monte-Carlo-Simulation für Beschreibung von Halbleiterbauteilen, wie sie in für die organische Elektronik angepasster Form in diesem Abschnitt verwendet wird. Mittels eines expliziten Ausdrucks für das elektrische Potential im Transistorkanal können neue Transportmodelle für organische Transistoren entwickelt werden, die zu noch akkurateren Modellen für die Schaltungssimulation führen. Buscemi et al. [7] führte Monte-Carlo Simulationen des Ladungstransports durch und benutzte hierfür ein vereinfachtes 3D-Modell des elektrischen Potentials im Bauteil, da eine iterativ bestimmte Lösung der Poisson-Gleichung zu viel Berechnungszeit in Anspruch nehmen würde. Im Gegensatz zu früheren durchgeführten Monte-Carlo Simulationen [7], [32], wird in diesem Abschnitt ein Ansatz mit der analytischen Lösung der Poisson-Gleichung (Gleichung 5.11) vorgestellt.

### 5.5.1 Ablauf der Monte-Carlo Simulation

Zu Beginn wird eine 3D OTFT Struktur initialisiert, sodass sich auf der linken Seite die Source-Elektrode  $S$ , auf der rechten Seite die Drain-Elektrode  $D$  und oben die Gate Elektrode  $G$ , d.h. genauer die Platte des Gate-Dielektrikum-Kondensators, befindet. Die exemplarischen Werte für die Transistorkanallänge  $L$  betragen  $10\ \mu\text{m}$ , für die Kanalbreite  $1\ \mu\text{m}$  und für die Kanalhöhe  $3\ \mu\text{m}$  (siehe Abb. 5.9). Der Algorithmus der Monte-Carlo Simulation ist wie folgt aufgesetzt:

- Die physikalischen Konstanten und Simulationsparameter werden definiert.
- Die intrinsische Energie der lokalisierten Zustände des Hopping-Systems („Hopping Sites“) werden entsprechen einer Gauß-Verteilung der Zustandsdichten (density of states) DOS (Gleichung 5.15), in Abhängigkeit von der Energie  $\epsilon$ , dem Erwartungswert  $\mu_{\text{Gauss}}$  und der Breite der Verteilung  $\sigma_{\text{Gauss}}$ , definiert.

$$DOS_{\text{Gauss}}(\epsilon) = (2\pi\sigma_{\text{Gauss}}^2)^{-\frac{1}{2}} \exp\left(-\frac{(\epsilon - \mu_{\text{Gauss}})^2}{2\sigma_{\text{Gauss}}^2}\right) \quad (5.15)$$

- Die Hopping Sites werden in einem kubischen Gitter durch eine Gleichverteilung angeordnet. Das Gitter ist größer als die Transistorstruktur, sodass auch die Elektroden Source  $S$  und Drain  $D$  eingeschlossen sind.
- Der Abstand zwischen jeder Hopping Site wird berechnet und in einer Matrix gespeichert, um den Algorithmus zu optimieren.
- Die Energieverschiebung  $\Delta\Phi_{ij}$  aller Hopping Sites aufgrund der Coulomb-Wechselwirkung (Gleichung 5.16) durch eine Ladung wird über die Koordinaten  $r_i$  und  $r_j$  der Hopping Sites berechnet

$$\Delta\phi_{ij} = \frac{e^2}{4\pi\epsilon_0\epsilon_r} \frac{1}{|\mathbf{r}_i - \mathbf{r}_j|}. \quad (5.16)$$

- Abhängig von der gewünschten Strom-Spannungs-Kennlinie werden die Spannungen an Drain  $V_D$  und Gate  $V_G$  angelegt und in einer Schleife durchgeföhren:
  - Die Verteilung des elektrischen Potentials (Gleichung 5.11) wird berechnet und die sich daraus ergebenden Energien der Hopping Sites zugeordnet
  - Alle Ladungen werden an Source initialisiert
  - Eine Zeitschleife für den Hüpf-Prozess wird gestartet:
    - \* Jeder Ladungsträger besitzt eine Hüpf-Wahrscheinlichkeit

$$P_{ij} = \sum \frac{v_{ij}}{\sum_{i \neq j} v_{ij}}, \quad (5.17)$$

die durch die Hüpf-Rate

$$v_{ij} = v_0 \exp(-2\alpha R_{ij}) \times \begin{cases} \exp\left[-\left(\frac{E_j - E_i}{k_B T}\right)\right] & , E_j > E_i \\ 1 & , E_j \leq E_i \end{cases} \quad (5.18)$$

gegeben ist.  $v_0$  bezeichnet die Attempt-to-escape Frequenz,  $\alpha$  den Überlapp der Wellenfunktion,  $R_{ij}$  den Abstand der Hopping Sites,  $k_B$  die Boltzmann-Konstante und  $T$  die absolute Temperatur. Hierfür werden nur die  $n$  nächsten Nachbarn berücksichtigt.  $\epsilon$  bezeichnet die Energie der entsprechenden Hopping Site, die eine Superposition der intrinsischen Energie, die durch die Gauß-Verteilung (5.15), die Coulomb Energie (5.16) und das elektrische Potential (5.11) an der Stelle der Hopping Site berechnet wird. Die somit erhaltene Wahrscheinlichkeit (5.17) wird auf ein Längenintervall zwischen 0 und 1 abgebildet. Zufällig generierte Zahlen zwischen 0 und 1 bestimmen dann, welche Hüpf-Wahrscheinlichkeit gewählt wird. Die Verweildauer  $\tau_h$  für jeden einzelnen Sprung zu einer Hopping Site  $i$  ist dann gegeben durch

$$\tau_h = \frac{1}{\sum_j v_{ij}} \log(1 - r), \quad (5.19)$$

wobei  $r$  wiederum aus einer gleichverteilten Zufallszahl zwischen 0 und 1 entnommen ist.

- \* Die Zeitvariation

$$\delta t = \min(\tau_h) \quad (5.20)$$

wird zur gesamten Simulationszeit hinzuaddiert und gleichzeitig von der Verweildauer der Ladungsträger subtrahiert. Somit wird im nächsten Simulationsschritt jeder Hopping Site bzw. jedem Ladungsträger eine neue Verweildauer

$$\tau'_h = \frac{1}{\sum_j v_{ij}} \log(1 - r) - \tau_h \quad (5.21)$$

zugewiesen.

- \* Dadurch wird eine nächste Hopping Site bestimmt, zu der ein Sprung ausgeführt wird.

- \* Falls sich die neue Hopping Site auf der Drain-Elektrode  $D$  befindet, wird eine Elementarladung zur Anzahl der Ladungen, die Drain erreicht haben, hinzugefügt und zurück auf Source gesetzt.
- \* Die Hüpf-Raten und Wahrscheinlichkeiten bezüglich dieser neuen Hopping Site werden nun berechnet. Die Summe der Hüpf-Raten ergibt die Verweildauer entsprechend der logarithmischen Zufallsverteilung.
- \* Die Zeitschleife endet hier.
- Der Gesamtstrom wird berechnet, indem die Anzahl aller Ladungen, die an Drain angekommen sind, durch die verstrichene Simulationszeit geteilt wird.
- Die Schleife zum Durchfahren der Spannungen  $V_D$  endet hier.

Abb. 5.8 zeigt das Blockdiagramm des oben beschriebenen Simulationsalgorithmus.

## 5.5.2 Visualisierung des Hüpf-Prozesses

Für diesen und die folgenden Abschnitte sind die Parameter für die Monte-Carlo-Simulation wie in Tabelle 5.2 gewählt worden. Abb. 5.9(a) und 5.9(b) zeigen den Hüpf-Pfad dreier Ladungsträger durch die OTFT Struktur. Für eine bessere Darstellung als in einer Anordnung der Hopping Sites in einem Kristallgitter wurde hier eine zufällig verteilte Anordnung der Hopping Sites gewählt. Simuliert wurde hier der Ladungstransport von Löchern in einem p-leitenden organischen Halbleiter. Es ist klar zu erkennen, dass nach wenigen Sprüngen alle Ladungsträger in der Nähe der Grenzschicht zwischen Halbleiter-Dielektrikum hüpfen und dadurch den Transistorkanal bilden.

Tabelle 5.2: Simulationsparameter, wie sie für die Monte-Carlo-Simulationsalgorithmus verwendet wurden, entnommen aus [96].

Simulationsparameter	Variable	Wert	Einheit
Temperatur	$T$	300	$K$
Überlapp der Wellenfunktion	$\alpha$	$0,83 \times 10^{-10}$	$m$
Attempt-to-escape Frequenz	$\nu_0$	$1,35 \times 10^{13}$	$s^{-1}$
Erwartungswert der Energie in der gaußverteilten Zustandsdichte im LUMO	$\mu_{Gauss}$	-3	eV
Varianz der Energie in der gaußverteilten Zustandsdichte im LUMO	$\sigma_{Gauss}$	0,065	eV

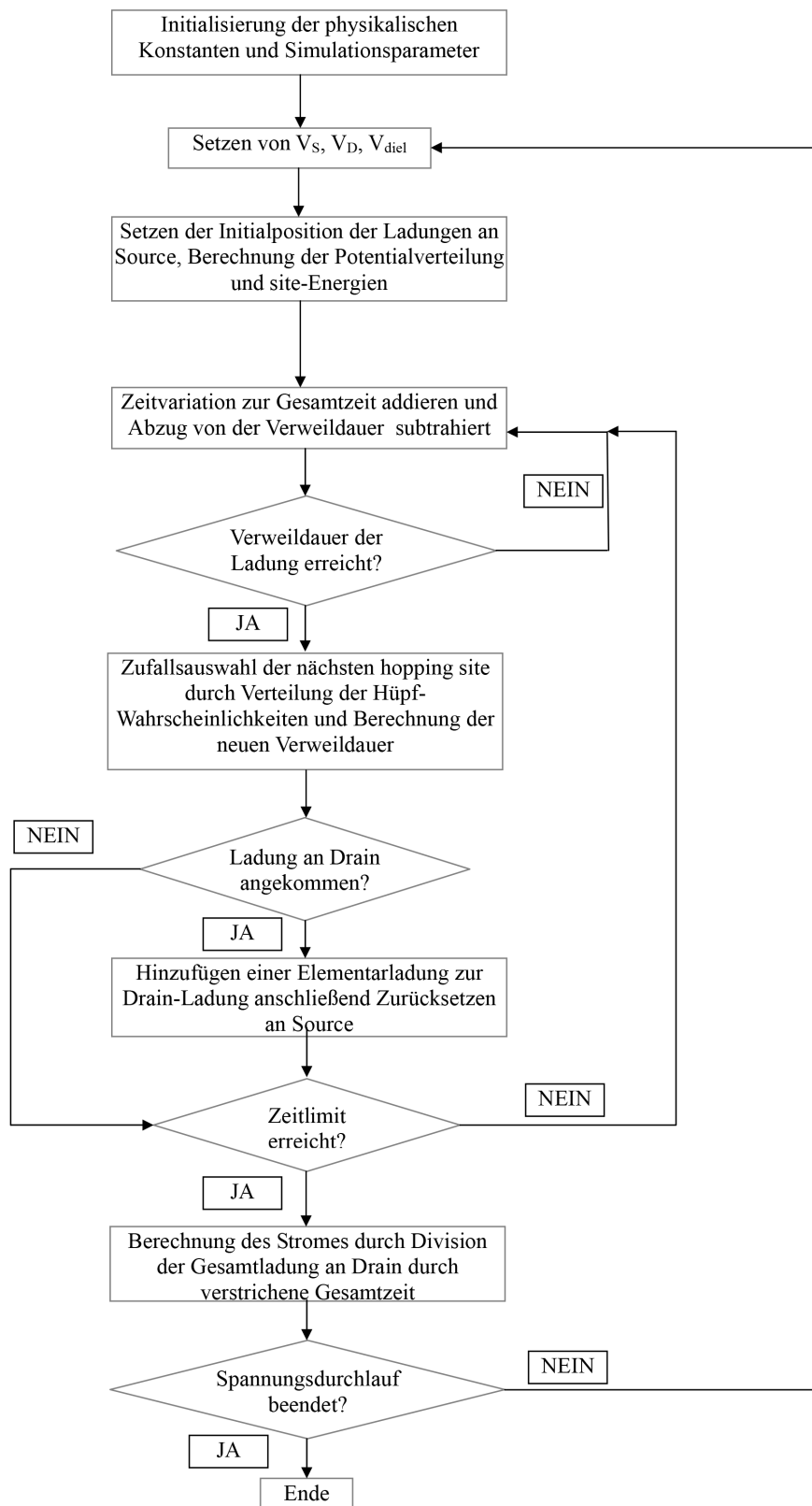


Abbildung 5.8: Blockdiagramm des Algorithmus für die Monte-Carlo Simulation des Ladungstransports durch einen OTFT.

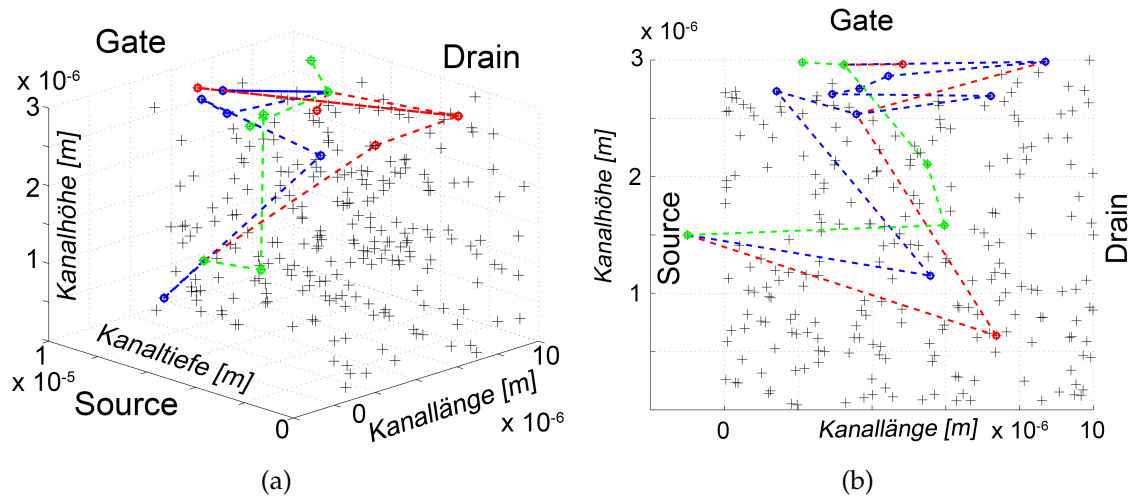


Abbildung 5.9: (a) 3D-Visualisierung und (b) 2D-Visualisierung (als Schnitt entlang des Transistorkanals) des Hüpff-Prozesses dreier Ladungsträger und deren Hüpff-Pfad von Source zu Drain.

### 5.5.3 Ladungsträgerfallen

In den durchgeführten Simulationen ließ sich beobachten, dass einige Hopping Sites als Ladungsträgerfallen fungieren können (siehe Abb. 5.10). Damit eine Hopping Site eine Ladungsträgerfalle wird, muss mindestens eine der folgenden Bedingungen erfüllt sein:

- falls der räumliche Abstand zwischen zwei Hopping Sites zu gering ist, kann es für einen Ladungsträger entsprechend der Hüpff-Wahrscheinlichkeit (Gleichung 5.17) vorteilhafter sein, zwischen diesen beiden Hopping Sites zu springen, als eine andere zu wählen
- analog zu der Betrachtung des räumlichen Abstandes kann es besonders bei Hopping Sites, deren Energien sich aufgrund der Gauß-Verteilung (Gleichung 5.15) kaum voneinander unterscheiden, dazu führen, dass Ladungsträger zwischen diese Hopping Sites hin und her springen
- beide Effekte, dass Hopping Sites aufgrund des geringen räumlichen und energetischen Abstandes Ladungsträgerfallen werden, werden unterstützt, falls das elektrische Feld in Richtung Drain an dieser Stelle zu gering ist

### 5.5.4 Strom-Spannungs-Kennlinien

Durch die im Algorithmus (Abb. 5.8) beschriebene Schleife zum Durchfahren der Spannungen  $V_D$  und  $V_G$  ist es möglich durch die Monte-Carlo Simulation des Ladungstransportes Strom-Spannungs-Kennlinien zu simulieren. Abb. 5.11(a) und Abb. 5.11(b) zeigen die berechneten  $I_{DS}$  vs.  $V_{DS}$  Ausgangskennlinienschar bzw.  $I_{DS}$  vs.  $V_{GS}$  Transferkennlinienschar. Für diese Berechnung wurden  $9 \times 9 \times 3 = 246$  Hopping Sites

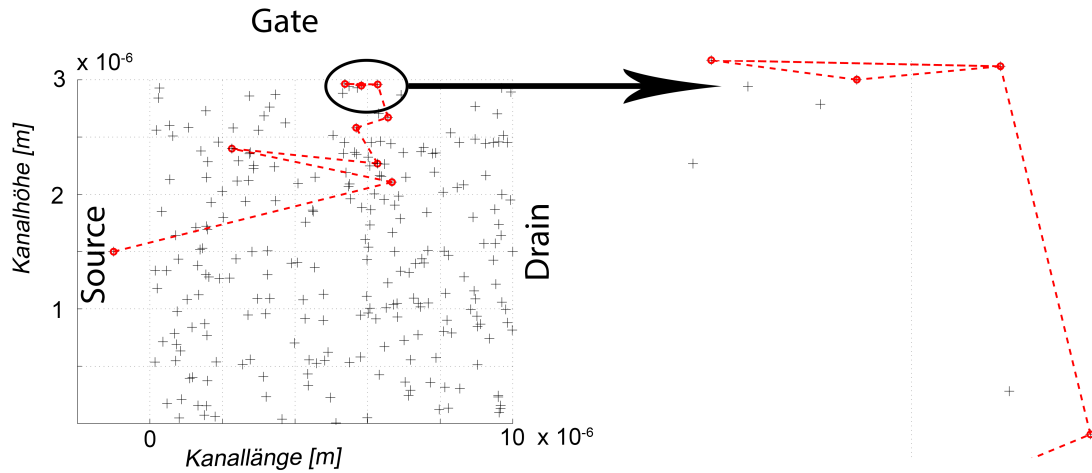


Abbildung 5.10: 2D-Visualisierung einer Ladungsträgerfalle. Aufgrund geringen räumlichen oder energetischen Abstandes der Hopping Sites springt der Ladungsträger zwischen den beiden Hopping Sites, statt weiter nach rechts in Richtung der Drain-Elektrode zu hüpfen [62].

und  $246 \times 2 = 492$  Ladungsträger verwendet. Diese Anzahl stellt einen Kompromiss zwischen Genauigkeit der Simulation und Rechenzeit bzw. Simulationsdauer dar. Trotzdem sind die berechneten Ströme (rot für  $V_G = -1$  V, blau für  $V_G = 49$  V und grün für  $V_G = 99$  V in Abb. 5.11(a); rot für  $V_D = -1.6$  V, blau für  $V_D = -0.8$  V und grün  $V_D = 0$  V in Abb. 5.11(b)) eher verrauscht und wurden deshalb mit den 9 nächsten Nachbarwerten gemittelt (entsprechende durchgehende Linie in Abb. 5.11(a) und 5.11(b)). Die Ausgangskennlinie zeigt den zu erwartenden linearen Anstieg des Stromes und eine gute Sättigung. Da für die Simulationen keine Dotierung verwendet wurde und Ladungsträger ohne Überwinden einer Barriere von Source in den Halbleiter gelangen, fließt Strom auch, wenn eine positive Gate-Spannung  $V_{GS}$  angelegt ist. Aus demselben Grund weisen die Transferkennlinien in Abb. 5.11(b) ein on/off-Verhältnis von  $10^1$  auf, da der off-Strom für positive Gate-Spannungen vergleichsweise groß ist. Trotzdem ist in den Transferkennlinien ein steiler Anstieg des Stromes zu erkennen, wohingegen dieser für betragsmäßig zunehmende Gate-Spannungen wieder leicht abnimmt. Dies liegt daran, dass sich für betragsmäßig größer werdende Gate-Spannungen  $V_G$  im Transistorkanal sehr viele akkumulierte Ladungsträger befinden. Während des Hüpf-Prozesses bleiben somit weniger freie Hopping Sites übrig, was dazu führt, dass eine längere Verweildauer  $\tau_h$  (Gleichung 5.19) vergeht, bis die anderen verbliebenen Ladungsträger später den Sprung ausführen. Erhöht man die Zahl der freien, für einen Sprung zur Verfügung stehenden Hopping Sites im Transistorkanal durch erhöhte Anzahl absoluter Hopping Sites, ließe sich dieser Effekt minimieren, jedoch erhöht sich die Simulationsdauer. Die Anzahl der freien Hopping Sites lässt sich auch dadurch erhöhen, indem man die Zahl der in der Simulation betrachteten Ladungsträger minimiert. Dies führt jedoch zu noch verrauschteren Strom-Spannungs-Kennlinien.

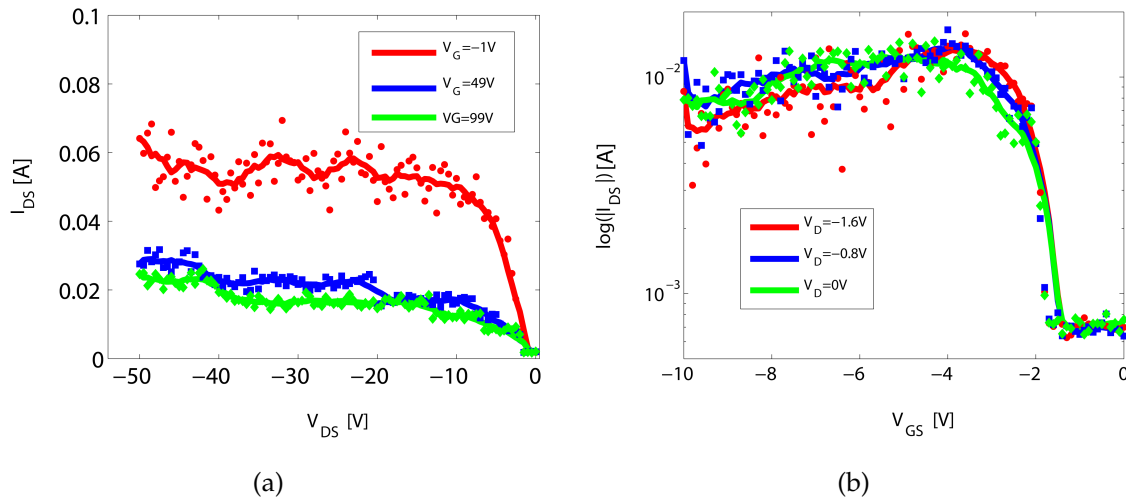


Abbildung 5.11: (a) Berechnete  $I_{DS}$  vs.  $V_{DS}$  Ausgangskennlinienschar für drei verschiedene Gate-Source-Spannungen  $V_{GS}$  und (b)  $I_{DS}$  vs.  $V_{GS}$  Transferkennlinienschar für drei verschiedene Drain-Source-Spannungen  $V_{DS}$ . Die durchgezogenen Linien ergeben sich aus Mittelung der Simulationsdaten [62].

### 5.5.5 Transiente Monte-Carlo Simulation des Ladungsträgertransportes

Neben der statischen Simulation von Strom-Spannungs-Kennlinien wie in Abschnitt 5.5.4, bei der die angelegten Spannungen an den Elektroden zeitlich konstant bleiben, lässt der in Abschnitt 5.5 beschriebene Algorithmus auch eine transiente Simulation zu, bei der sich die Spannungen an den Elektroden zeitlich ändern. Damit lässt sich die Änderung des Stromes durch den Transistorkanal als Funktion der angelegten Spannungen untersuchen. Bei derselben Transistor-Modellstruktur, wie sie für die Strom-Spannungs-Kennlinien aufgebaut und entsprechend des Blockdiagramms in Abb. 5.8 simuliert wurde, ist hierfür die Spannung an der Gate-Elektrode auf  $V_G = -1$  V und die Spannung an der Drain-Elektrode auf  $V_D = 0$  V gesetzt worden. Als Source-Spannungsquelle ist ein Rechteckpuls zwischen  $V_S = 0..2$  V mit einer Periode in der Simulationszeit von 5000s während einer kompletten Simulationszeit von 50000s angelegt worden. Somit variierte die Drain-Source-Spannung  $V_{DS} = 0..-2$  V und die Gate-Source-Spannung zwischen  $V_{GS} = -1..-3$  V. Während der Simulation wurde gezählt, zu welchem Zeitpunkt wie viele Ladungsträger an der Drain-Elektrode ankamen. Abb. 5.12 zeigt die zeitliche Antwort der Transistor-Modellstruktur bei einem angelegten Rechteckspannungspuls an der Source-Elektrode. Hierfür ist die Monte-Carlo-Simulation für diese Transistor-Modellstruktur bei gleicher Verteilung der Hopping Sites 20 Mal wiederholt worden, die Simulationsdatenpunkte wurden pro Simulation mit den nächsten 9 Nachbarn geglättet und alle somit erhaltenen geglätteten Daten gemittelt und normiert, da aufgrund der relativ geringen Anzahl an Ladungsträgern und Hopping Sites die Ergebnisse relativ verrauscht waren. Es ist zu erkennen, dass ab Einsetzen des Spannungspulses die normierte Anzahl an Ladungsträgern, die an der Drain-Elektrode ankommen, relativ schnell ansteigt, jedoch erst mit der Zeit wieder abfällt. Einige schnelle Ladungsträger können dem Spannungspuls sofort



folgen, langsamere kommen viel später an der Drain-Elektrode an. Letztere müssen u.U. einen längeren Weg durch den Transistorkanal zurücklegen, da deren Hüpfpfad nicht der ideale ist, bzw. die Zeit, die für diese langsamen Ladungsträger zwischen zwei Sprüngen vergeht, ist größer als für die schnellen, sodass sie später ankommen. Dieses Ergebnis, wie es in dieser Monte-Carlo-Simulationsumgebung erhalten wurde, deckt sich qualitativ mit den Erkenntnissen, wie sie in Kapitel 6, Abb. 6.3, gezeigt werden. Mithilfe dieser Simulationsumgebung lässt sich somit durch z.B. Verändern der Breite der Zustandsdichten  $\sigma$  in Gleichung 5.15 oder Modifizierung der Transistor-Modellstruktur der Einfluss auf den zeitlichen Ladungsträgertransport ermitteln und optimieren.

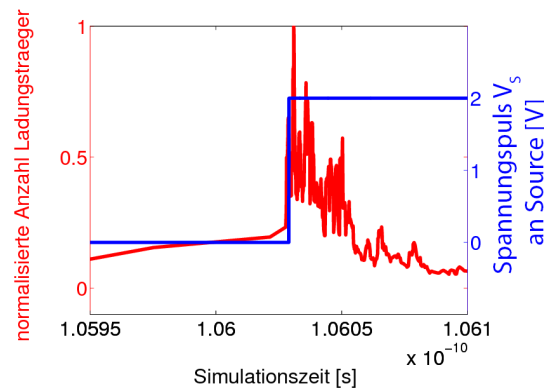


Abbildung 5.12: Transiente Antwort der Transistor-Modellstruktur beim Anlegen eines Spannungspulses an der Source-Elektrode  $V_S=0..2$  V bei konstanter Gate-Spannung  $V_G=-1$  V und Drain-Spannung  $V_D=0$  V. Die normierte Anzahl an Ladungsträgern, die an der Drain-Elektrode ankommt, steigt bei Erreichen der Source-Spannung  $V_S=2$  V stark an, fällt dann jedoch langsam, da Ladungsträger mit einem längeren Hüpfpfad durch den Transistorkanal oder erhöhten Zeiten zwischen zwei Sprüngen später ankommen und den Puls verbreitern [62].

## 5.6 Zusammenfassung

In diesem Kapitel ist eine Monte-Carlo-Simulationsumgebung aufgebaut worden, die es erlaubt, statische Strom-Spannungs-Kennlinien und das transiente Verhalten einer Transistor-Modellstruktur zu untersuchen. Hierfür ist durch konforme Abbildungen ein analytischer Ausdruck für das elektrische Potential und Feld in einer Transistor-Modellstruktur hergeleitet worden, da gezeigt wurde, dass die in der Theorie für MOSFETs angenommene Gradual Channel Approximation im Fall der vorliegenden OTFTs nicht gilt. Das hergeleitete elektrische Potential ist mit einer numerischen Lösung aus *Sentaurus TCAD* verglichen worden und zur Berechnung der individuellen Energie von Hopping Sites in der Transistor-Modellstruktur verwendet worden. Die simulierten Ausgangs- und Transferkennlinien zeigen das zu erwartende Verhalten: einen linearen Bereich und einen Sättigungsbereich in der Ausgangskennlinie sowie einen starken Anstieg des Stromes in der Transferkennlinie. Lediglich bei letzterer sinkt der Strom aufgrund zu gering angenommener Ladungsträger und Hopping Sites. Die hier vorgestellte

Monte-Carlo-Simulationsumgebung beinhaltet kein Injektionsmodell für die Ladungsträger. Wolf [96] untersuchte den Einfluss der Injektionsbarriere in organischen Leuchtdioden mittels Monte-Carlo-Simulation. Sun et al. [85] und Winstead et al. [95] führten Untersuchungen zur Injektion bei Schottky-Barrieren in MOSFETs durch, Shen et al. [77] und Maziar et al. [55] simulierten die Injektion in Quantum Wells bzw. GaAs Schottky-Barrieren. Weiterhin sind keine expliziten Trap-Zustände im vorliegenden Simulationsmodell definiert. Hierfür können die Modelle von Erlen et al. [17], [18] zur Implementierung dienen. Jedoch zeigte sich selbst ohne Definition expliziter Trap-Zustände, dass Ladungsträger in Hopping Sites gefangen werden können, deren Energien sich kaum unterscheiden bzw. deren räumlicher Abstand derart gering ist, dass das Zurückspringen zur vorherigen Hopping Site wahrscheinlicher ist, als der Sprung zu einer nächsten Hopping Site.

In einer transienten Simulation ist das zeitliche Verhalten der Ladungsträger untersucht worden. Die Anzahl der Ladungsträger, die an der Drain-Elektrode ankommen, steigt bei Anstieg der Drain-Source-Spannung steil an, klingt dann jedoch langsam ab. Hierfür kommen verlängerte Hüpfpfade und erhöhte Sprungzeiten der Ladungsträger in Frage. Die Form der Kurve deckt sich qualitativ mit den Ergebnisse im folgenden Kapitel 6 und kann durch Variation der Simulationsparameter und -struktur zur Optimierung des Ladungstransportes genutzt werden.

# Kapitel 6

## Prozessabhängige Geschwindigkeitsverteilung der Ladungsträger

### Inhalt

---

<b>6.1</b>	<b>Einführung</b>	<b>65</b>
<b>6.2</b>	<b>Auswahl der Proben</b>	<b>66</b>
6.2.1	Schichtmorphologie des organischen Halbleiters und Dielektrikums	67
<b>6.3</b>	<b>Messaufbau und Extraktion der Geschwindigkeitsverteilung</b>	<b>70</b>
6.3.1	Extraktion der energetischen Unordnung aus dem Variable Range Hopping (VRH) Modell	73
<b>6.4</b>	<b>Zusammenfassung</b>	<b>76</b>

---

### 6.1 Einführung

Wie in Abschnitt 9.1 und in [83] beschrieben, bietet die Drucktechnologie für gedruckte Elektronik und insbesondere für gedruckte organische Transistoren aufgrund des schlechteren Bauteilverhaltens genug Spielraum für Optimierungen. Sowohl die Ausbeute als auch die elektrischen Parameter, wie die Mobilität  $\mu$  und die Schwellspannung  $V_T$ , sind teilweise degradiert, wenn der Herstellungsprozess von Aufdampfen über Spin-Coating hin zum Drucken der funktionalen Schichten gewechselt wird. Dass die oben genannten Parameter verschlechtert sind, resultiert aus der Schichtmorphologie. Diese muss verbessert werden, sodass die Stabilität des Prozesses und des elektrischen Bauteilverhaltens gesteigert wird. In diesem Kapitel wird deshalb die Schichtmorphologie durch Messung der Geschwindigkeitsverteilung der Ladungsträger im Transistorkanal untersucht. Hierdurch können im Vergleich zu stationären Strom-Spannungscharakteristika

zusätzliche Informationen über den Ladungstransport durch den Halbleiter, insbesondere an der Grenzschicht zwischen Halbleiter und Dielektrikum, gewonnen werden. Ha et al. [27] untersuchten den Ladungstransport für bottom-gate-bottom-contact Transistoren mit thermisch gewachsenem Siliziumdioxid als Dielektrikum und Halbleiter, der durch Spin-Coating auf diesem Dielektrikum aufgetragen wurde. Es wurden bimodale Geschwindigkeitsverteilungen beobachtet, die dadurch erklärt wurden, dass Inhomogenitäten im Material diese Effekte verursachen. Cobb et al. [10] beobachtete Ladungsträgergeschwindigkeiten, die vom angelegten elektrischen Feld abhängen und untersuchte hierfür Transistoren mit thermisch aufgedampftem polykristallinen Pentacen auf einem thermisch gewachsenem Siliziumdioxid als Dielektrikum. Weiterhin wurden von Dunn et al. [16] sowie Dost [15] Time-of-Flight Messungen durchgeführt, um die Ladungsträgermobilität in thermisch aufgedampftem Isolator und Halbleiter abzuschätzen. Thermisch gewachsene bzw. aufgedampfte Schichten führen jedoch zu verhältnismäßig guten Schichtmorphologien verglichen mit jenen, wie sie mittels Druckverfahren erreicht werden [52]. Yuan et al. [98] und Konezny [46] zeigten durch numerische Modelle, dass die Morphologie, d.h. die energetische Unordnung der elektrischen Zustände im Halbleiter, das Bauteilverhalten entscheidend beeinflusst, aber nicht immer derart, dass größere Unordnungen zu schlechterem elektrischen Verhalten führen. Aus diesem Grund wird in diesem Kapitel beschrieben, wie die verschiedenen Abscheideverfahren für funktionale Schichten im Transistor zu unterschiedlichen Schichtmorphologien führen, und es wird aufgezeigt, wie diese den Ladungstransport signifikant beeinflussen.

## 6.2 Auswahl der Proben

Die Herstellung der untersuchten Transistoren ist in Abschnitt 3.1 beschrieben. Es wurden zwei Probensätze hergestellt: Ein Satz auf einem Glassubstrat für die morphologische Charakterisierung, sowie ein Satz auf einem PET-Substrat für die zu untersuchenden Transistoren, wobei hier im Gegensatz zum Aufbau in Abschnitt 3.1 die vorstrukturierten Source- und Drain- Elektroden aus Silber bestehen. Um Vergleichbarkeit der hergestellten Proben zu gewährleisten wurden die Dicken der Schichten, die mittels Spin-Coating und Drucken hergestellt wurden, aneinander angepasst. Glassubstrate wurden verwendet um die Schichtdicken zu justieren. Nach einer Vorreinigung wurden jeweils Halbleiter und Dielektrikum sowohl durch Flexodruck bzw. Tiefdruck als auch durch Spin-Coating aufgebracht. Die morphologische Charakterisierung sowie die Schichtdickenmessung wurde an einem Profilometer Plμ Neox der Firma *Sensofar* durchgeführt, wobei hier Phase Shifting Interferometrie (PSI) und konfokale Mikroskopie zu den akkuratesten Ergebnissen sowohl für den Halbleiter als auch für das Dielektrikum führten. Ein Kreuz wurde in die entsprechende Schicht geritzt und die Messungen an den Kanten des Kratzers durchgeführt. Die Rotationsgeschwindigkeiten beim Spin-Coating wurden solange erhöht, bis die Dicke der Schicht, die durch Spin-Coating hergestellt wurde, dem Mittelwert der gedruckten entsprach (siehe Abschnitt 6.2.1). Für die Transistoren wurden vier verschiedene Proben hergestellt, wie sie in Tabelle 6.1 zusammengefasst sind.

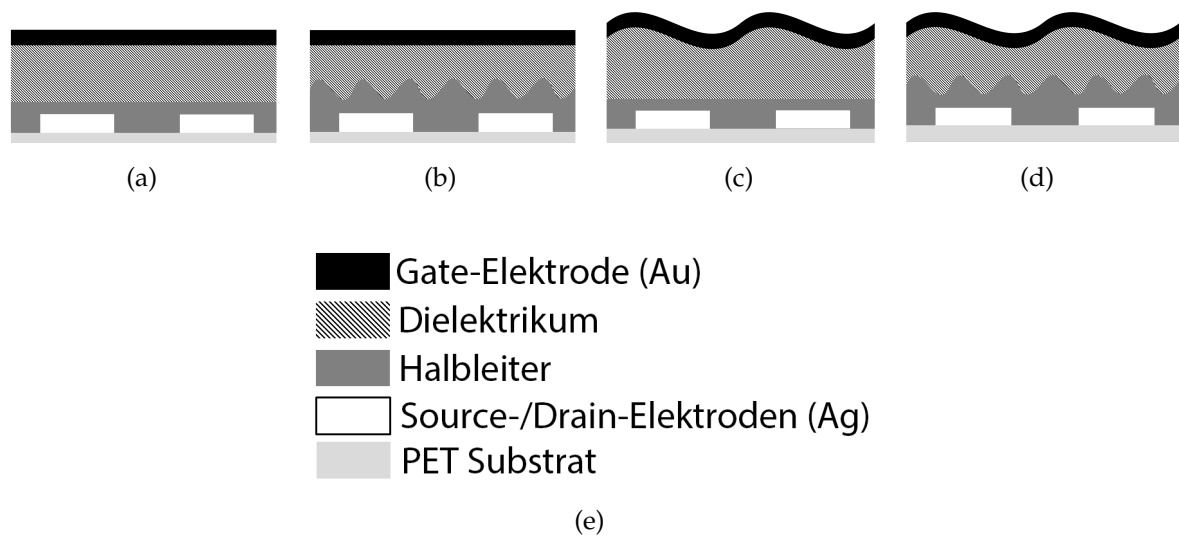


Abbildung 6.1: Schematische Ansicht der Schichtmorphologie für a) Spin-Coating von sowohl Halbleiter als auch Dielektrikum, b) Spin-Coating des Halbleiters und Tiefdruck des Dielektrikums, c) Flexodruck des Halbleiters und Spin-Coating des Dielektrikums, sowie d) Flexodruck des Halbleiters und Tiefdruck des Dielektrikums [62].

### 6.2.1 Schichtmorphologie des organischen Halbleiters und Dielektrikums

Wie oben beschrieben, mussten die Dicken der Schichten, die durch Spin-Coating und Druck hergestellt wurden, aneinander angepasst werden. Tabelle 6.2 zeigt die Schichtdicken für verschiedene Rotationsgeschwindigkeiten. Beim Wechsel der Abscheidetechnik von Spin-Coating hin zum Drucken ändert sich die Morphologie der Oberfläche. Die Standardabweichungen in Tabelle 6.2 weisen darauf hin, dass die Welligkeit für Schichten aus Spin-Coating geringer ist als für gedruckte. Welligkeiten in gedruckten Polymeren sind ein bekanntes Problem und in [30] und [92] beschrieben. Die Standardabweichungen der Proben mit Halbleiter, der durch Spin-Coating aufgetragen wurde, und Dielektrikum betragen 3 % und liegen im Bereich der Messungenauigkeit. Für gedruckte Schichten jedoch liegen die Standardabweichungen im Bereich von 10 % für den Halbleiter und 15 % für das Dielektrikum.

In Abb. 6.2 sind zur Verdeutlichung die Oberflächentopographien für ein gedrucktes Dielektrikum gezeigt. In Abb. 6.2 (unten) fluktuiert die Dicke der gedruckten Dielektrikumsschicht um den Mittelwert mit  $\pm 150$  nm. Aufgrund der hohen Viskosität ist der Levelling-Prozess, der zu einem Ausgleich der Schichtdicke führt, unterbrochen, wodurch diese Schicht nach dem Trocknen eine hohe Welligkeit aufweist [84]. Diese Welligkeit kann die extrahierte Ladungsträgersgeschwindigkeit beeinflussen, da unterschiedliche Dielektrikumsschichtdicken zu verschiedenen Ausprägungen des elektrischen Feldes, das durch die Gate-Source-Spannung  $V_{GS}$  hervorgerufen wird, führen können. Die Welligkeit des Halbleiters erhöht die Grenzfläche zwischen Halbleiter und Dielektrikum verglichen zu Proben, bei denen der Halbleiter durch Spin-Coating aufgetragen wurde.

Tabelle 6.1: Zuordnung der Proben zum verwendeten Beschichtungsverfahren für Halbleiter und Dielektrikum.

	Prozess Halbleiter	Prozess Dielektrikum
Probe 1	Spin-Coating	Spin-Coating
Probe 2	Flexodruck	Spin-Coating
Probe 3	Spin-Coating	Tiefdruck
Probe 4	Flexodruck	Tiefdruck

Tabelle 6.2: Mittlere Schichtdicken und Standardabweichungen von Halbleiter und Dielektrikum, wenn diese gedruckt wurden bzw. im Fall von Spin-Coating in Abhängigkeit von der Rotationsgeschwindigkeit.

	Rotationsgeschwindigkeit [rpm]	Schichtdicke [nm]
Halbleiter Flexodruck	/	$58 \pm 6$
Halbleiter Spin-Coating	3500	$59 \pm 2$
Halbleiter Spin-Coating	2500	$64 \pm 1$
Halbleiter Spin-Coating	2000	$65 \pm 2$
Dielektrikum Tiefdruck	/	$722 \pm 106$
Dielektrikum Spin-Coating	1900	$718 \pm 25$
Dielektrikum Spin-Coating	1800	$716 \pm 21$

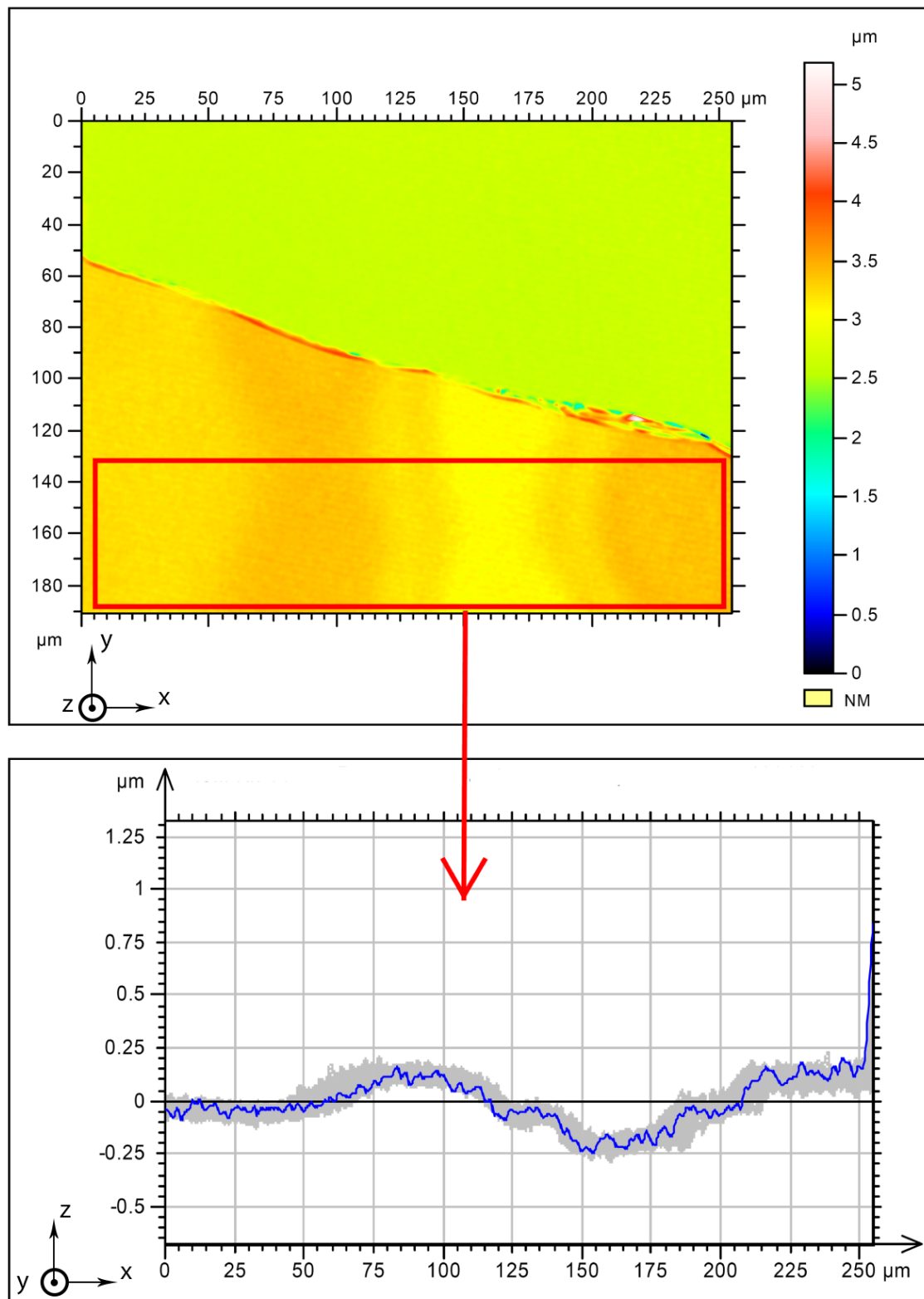


Abbildung 6.2: Oben: Oberflächentopographie an der Kante zwischen Glassubstrat (grüner Bereich, Dielektrikum entfernt) und Dielektrikum (gelb-oranger Bereich), aufgenommen durch konfokale Mikroskopie. Im Bereich der roten Markierung sind senkrecht zur x-y-Ebene Profilserien gemessen worden.

Unten: Profilserien (grau) senkrecht zur x-y-Ebene in der oberen Topographienaufnahme und Mittelwerte (blau) einer gedruckten Dielektriumsschicht [62].

### 6.3 Messaufbau und Extraktion der Geschwindigkeitsverteilung

Die Drain-Elektrode der OTFTs ist über ein Potentiometer  $R_L$  mit der Masse verbunden. Die Schwellspannungen  $V_T$  der OTFTs wurden im Bereich von  $V_T = -5$  V extrahiert (siehe Abschnitt 3.4). Um sicherzugehen, dass ein Strom  $I_{DS}$  hinlänglicher Größe fließt, der somit einen entsprechend großen Spannungsabfall  $V_L$  über dem Potentiometer bedingt, wurde die Gate-Elektrode auf  $V_G = -30$  V vorgespannt. Die Source-Elektrode wurde an einen Funktionsgenerator der Firma *Tektronix* angeschlossen. Ein Rechteckspannungspuls von  $V_S = 10$  V mit je Anstiegs- und Abfallzeiten der Flanken von  $t_{ramp} = 10$  ns wurde angelegt, der zu Drain-Source-Spannungen  $V_{DS} = 0..-10$  V und Gate-Source-Spannungen von  $V_{GS} = -30..-40$  V führte. Ein Oszilloskop ist über einen 100 : 1 Tastkopf mit der Drain-Elektrode verbunden, um den verhältnismäßig geringen Spannungsabfall  $V_L$  über dem Potentiometer zu messen. Der Widerstand des Potentiometers wurde auf 1 k $\Omega$  eingestellt. Abb. 6.3(a) zeigt die transiente Antwort des OTFTs auf den angelegten Rechteckspannungspuls für verschiedene Lastwiderstände  $R_L$  des Potentiometers. Für normalisierte Spannungsabfälle ist das Verhalten größtenteils unabhängig vom Lastwiderstand  $R_L$ . Der Wert von  $R_L = 1$  k $\Omega$  wurde gewählt, um einerseits den Spannungsabfall von  $V_{DS}$  so gering wie möglich zu halten, jedoch noch eine vernünftige Auflösung und ein geringes Rauschen des Stromes zu gewährleisten. Der experimentelle Aufbau ist in Abb. 6.4 gezeigt.

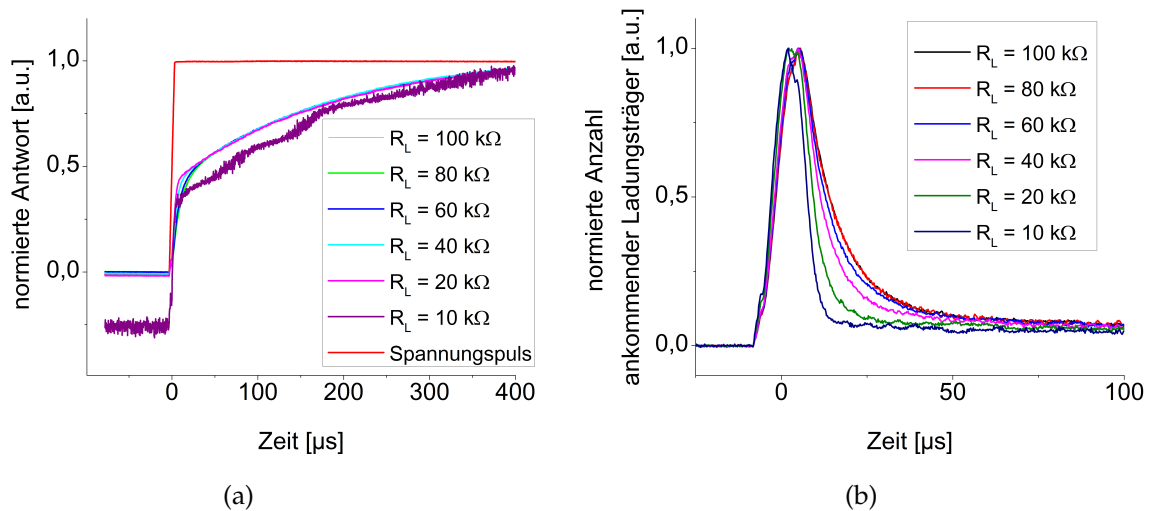


Abbildung 6.3: (a) Normierte transiente Antwort des Stromes des OTFTs auf den angelegten Rechteckspannungspuls für verschiedene Lastwiderstände  $R_L$ .

(b) Normierte Anzahl von Ladungsträgern, die an der Drain-Elektrode ankommen, für verschiedene Lastwiderstände  $R_L$  [62].

Durch die erhöhte Spannung  $V_S$  an der Source-Elektrode werden Ladungsträger in den organischen Halbleiter injiziert und wandern in den Transistorkanal, der durch die angelegte Gate-Source-Spannung  $V_{GS}$  hervorgerufen wird. Von dort durchlaufen sie den Kanal hin zur Drain-Elektrode. Um die Messergebnisse besser vergleichen zu können,



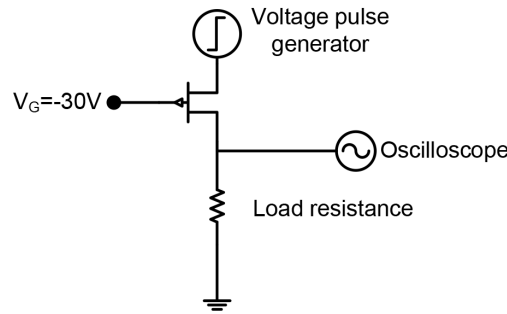


Abbildung 6.4: Experimenteller Aufbau, der zeigt, wie der OTFT über die Source-Elektrode an einen Funktionsgenerator und über ein Potentiometer  $R_L$  an der Drain-Elektrode mit der Masse verbunden ist. Die Gate-Spannung ist konstant auf  $V_G = -30V$  eingestellt [62].

sind die transienten Antworten hinsichtlich des angelegten Spannungspulses normalisiert worden. Von Interesse ist die Zeit, die zwischen Anlegen des Spannungspulses und Anstieg des Drain-Source-Stromes  $I_{DS}$  vergeht. Nach diesem Zeitintervall, genannt „turn-on time“, kommen die schnellsten Ladungsträger innerhalb des Kanals an der Drain-Elektrode an. Da der Drain-Source-Strom mit der Zeit zunimmt, nimmt die Zahl der an der Drain-Elektrode ankommenden Ladungsträger zu, d.h. jeder Ladungsträger besitzt seine individuelle Geschwindigkeit  $v$ . Die Geschwindigkeit aller Ladungsträger ist mit einer Funktion  $P(v)$  verteilt. Innerhalb jedes Zeitintervalls  $dt$  erreicht eine gewisse Anzahl Ladungsträger  $\Delta Q$  die Drain-Elektrode, was zu einem Strom dieser Ladungen  $dI_v(t)$  führt. Nach einer Weile, nachdem der Spannungspuls angelegt wurde, erreicht das System einen stationären Zustand und der Drain-Source-Strom bleibt konstant.

$$\frac{dI_{DS}(t)}{dt} = \int P(v) \frac{dI_v(t)}{dt} dv \quad (6.1)$$

Durch Division der Transistorkanallänge  $L$  mit der Antwortzeit erhält man die Geschwindigkeitsverteilung, wie sie in Abb. 6.5 dargestellt ist. Hierfür sind je vier gleichgroß dimensionierte Transistoren (für jede Probe aus Tabelle 6.1) mit Kanalweiten von  $W=100\,000\,\mu m$  und Kanallängen von  $L=10\,\mu m$  gewählt worden (siehe Tabelle 6.3). Mit dem  $\frac{W}{L}$ -Verhältnis von 10000 soll sichergestellt werden, dass Ströme hinlänglicher Größe fließen. Die zeitliche Antwort der vier Transistoren ist für Abb. 6.5 gemittelt worden, um zufällig Artefakte zu eliminieren. Abb. 6.5 zeigt den Vergleich der vier hergestellten Proben und wie sich deren Geschwindigkeitsverteilungen unterscheiden. Die Proben mit gedrucktem Halbleiter weisen einen größeren Anteil sich langsamerer bewegender Ladungsträger auf, als jene Proben mit Halbleiter, der durch Spin-Coating aufgetragen wurde, wohingegen der Abscheideprozess des Dielektrikums keinen Einfluss auf die Geschwindigkeitsverteilung der Ladungsträger hat. Da der Ladungstransport in den ersten Monolagen am Übergang zwischen Halbleiter und Dielektrikum stattfindet [35], spielt die Morphologie an dieser Grenzschicht eine besondere Rolle. Bei den untersuchten Transistoren in top-gate-bottom-contact Architektur wird der Halbleiter vor dem Dielektrikum aufgebracht (siehe Abschnitt 6.2) und bestimmt somit die Rauheit der Grenzschicht und die Morphologie mehr, als das Abscheideverfahren des Dielektrikums. Durch die Welligkeit der Halbleiterschicht vergrößert sich die Grenzfläche zwischen Halbleiter und

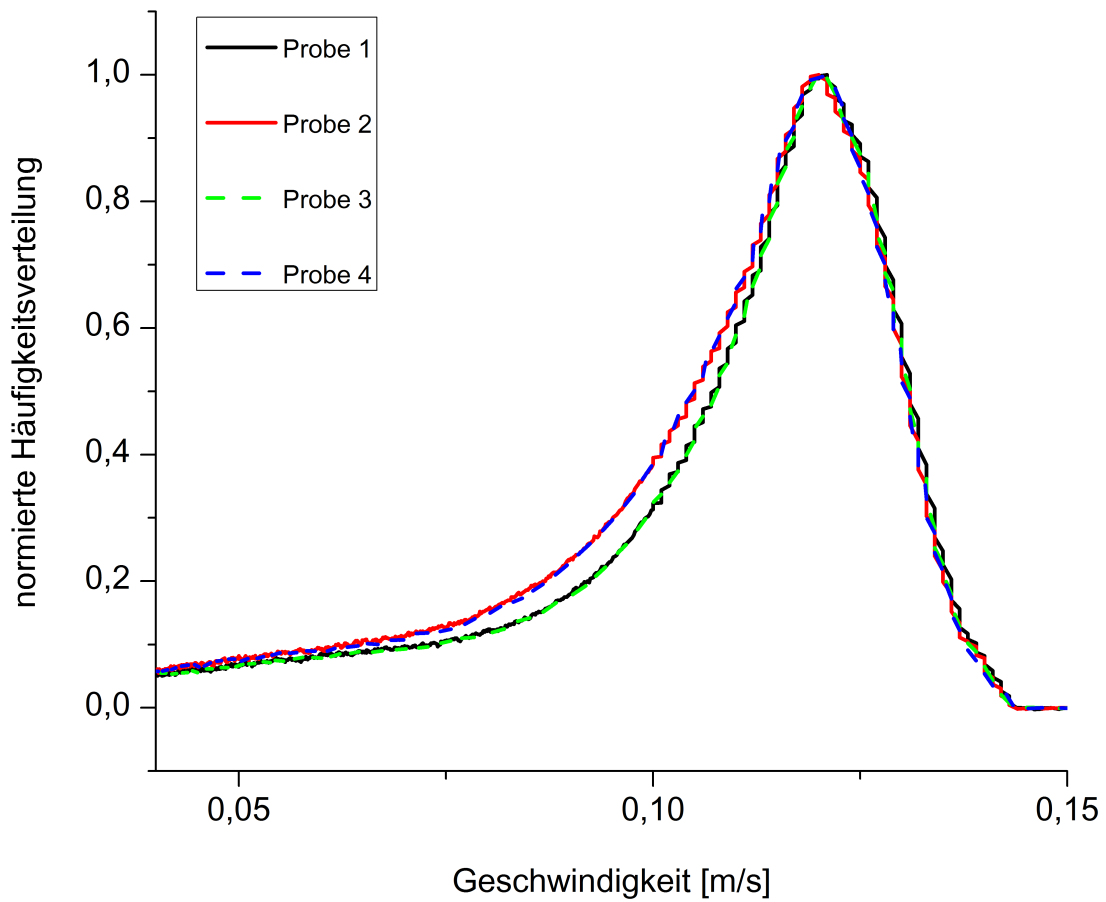


Abbildung 6.5: Geschwindigkeitsverteilung der Ladungsträger in den Transistoren für die Probe mit sowohl durch Spin-Coating prozessiertem Halbleiter als auch Dielektrikum (schwarz, Probe 1), durch Flexodruck prozessiertem Halbleiter und durch Spin-Coating prozessiertem Dielektrikum (rot, Probe 2), durch Spin-Coating prozessiertem Halbleiter und durch Tiefdruck prozessiertem Dielektrikum (grün, Probe 3) und durch Flexodruck prozessiertem Halbleiter und durch Tiefdruck prozessiertem Dielektrikum (blau, Probe 4). Für die Proben mit Halbleiter aus Flexodruck verbreitern sich die Geschwindigkeitsverteilung hin zu langsameren Geschwindigkeiten [62].

Tabelle 6.3: Mobilitäten und Schwellspannungen der gemessenen Transistoren mit  $W = 100000\mu m$  und  $L = 10\mu m$ .

Probe	Transistor	Mobilität [ $10^{-2}cm^2V^{-1}s^{-1}$ ]	Schwellspannung [V]
Probe 1	1	1,6	-4,3
	2	2,3	-4,0
	3	2,2	-4,5
	4	2,1	-3,9
Probe 2	1	1,7	-7,6
	2	2,0	-6,6
	3	3,2	-3,7
	4	1,5	-7,1
Probe 3	1	2,2	-5,7
	2	1,8	-4,4
	3	2,2	-4,6
	4	2,1	-4,3
Probe 4	1	1,6	-8,4
	2	2,0	-9,1
	3	1,8	-6,9
	4	1,8	-7,6

Dielektrikum verglichen mit im Spin-Coating hergestellten Schichten. Dadurch wird die effektive Transistorkanallänge vergrößert, was einen Grund dafür sein kann, dass die Verzögerungszeit der Ladungsträger hier größer ist. Coropceanu et al. [11] begründen eine Unordnung der energetischen Zustände des Halbleiters mit den Abscheidebedingungen der Schicht, wodurch Mobilitäten um sechs Größenordnungen variieren können. Jaiswal et al. [43] zeigten, dass die Grenzschicht zwischen Halbleiter und Dielektrikum die Morphologie bestimmen und eine reduzierte Rauheit zu höheren Mobilitäten führt. Yuan et al. [98] berechneten, dass eine erhöhte Unordnung, die durch die Morphologie bedingt ist, zu unterschiedlichen Geschwindigkeiten der Ladungsträger führen kann. In diesem Zusammenhang zeigen die vorliegenden Ergebnisse, dass die energetische Unordnung der Zustände im Halbleiter allein durch das Drucken des Halbleiters verursacht sind und nicht durch das Abscheideverfahren des Dielektrikums.

### 6.3.1 Extraktion der energetischen Unordnung aus dem Variable Range Hopping (VRH) Modell

Das Variable Range Hopping model (VRH), das durch Vissenberg et al. [91], [103] entwickelt wurde, beschreibt den Ladungstransport im - durch Akkumulation der Ladungen geformten - Transistorkanal (siehe Abschnitt 3.4.2). Hierfür wird das Modell der

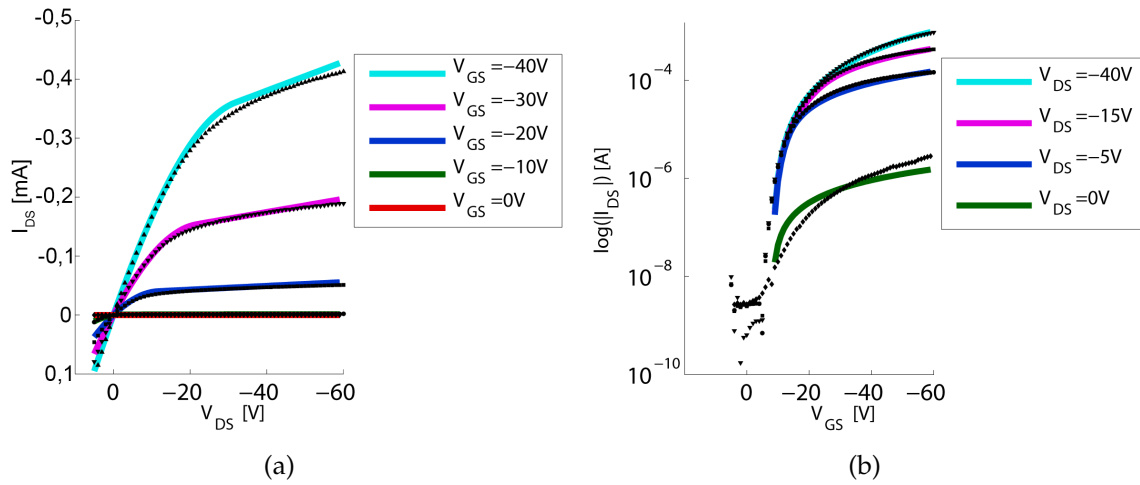


Abbildung 6.6: (a) Exemplarische  $I_{DS}$  vs.  $V_{DS}$  Ausgangskurven und (b)  $I_{DS}$  vs.  $V_{GS}$  Transferkurven für Transistor 2 der vollgedruckten Probe 4. Symbole bezeichnen die gemessenen Ströme, durchgezogene Linien bezeichnen die Ströme, wie sie aus dem VRH-Modell mit den Modellparametern  $\mu = 1,6 \times 10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ ,  $V_T = -8,1 \text{ V}$ ,  $\gamma = 7,2 \times 10^{-2}$ , und  $\lambda = 8,7 \times 10^{-3}$  erhalten wurden [62].

Perkolationstheorie verwendet: Thermisch aktivierte Ladungen (im vorliegenden Fall Löcher) tunneln zwischen lokalisierten Zuständen, deren Zustandsdichten (density of states) DOS exponentiell verteilt sind. Im VRH-Modell lässt sich dann der Drain-Source-Strom  $I_{DS}$  in Akkumulation durch

$$I_{DS} = \frac{\mu_0}{2 + \gamma} \frac{\epsilon_0 \epsilon_r}{t_{OX}} \frac{W}{L} \left[ [V_{GS} - V_T]^{2+\gamma} - [V_{GS} - V_{TV} - V_{DS}]^{2+\gamma} \right] (1 + \lambda \cdot V_{DS}) \quad (6.2)$$

beschreiben, wobei  $\mu_0$  den Mobilitätsvorfaktor,  $V_T$  die Schwellspannung,  $\gamma$  den Parameter für die Feldabhängigkeit und  $\lambda$  den Kanallängenmodulationsfaktor beschreiben (siehe Abschnitt 3.4) und  $[[x]] = 0,5 \cdot x + 0,5 \cdot |x|$ . Im VRH-Modell kann  $\gamma$  durch die Breite der DOS,  $T_0$ , ausgedrückt werden:

$$\gamma = \frac{2(T_0 - T)}{T}, \quad (6.3)$$

wobei  $T$  die absolute Temperatur (300K) beschreibt. Gleichung (6.3) kann umgestellt werden, um einen Ausdruck für  $T_0$  zu erhalten:

$$T_0 = T \left( \frac{\gamma}{2} + 1 \right) \quad (6.4)$$

Die gemessenen Ströme  $I_{DS}$  vs.  $V_{DS}$  und  $I_{DS}$  vs.  $V_{GS}$  in den Ausgangs- und Transferkurven der Transistoren für die verschiedenen Proben (siehe Tabelle 6.1 und 6.3) in Abb. 6.6(a) und 6.6(b) sind entsprechend des VRH-Modells (Gleichung (6.2)) durch den Levenberg-Marquardt-Algorithmus gefittet worden, um den VRH-Parameter  $\gamma$  zu erhalten. In Abb. 6.6(a) und 6.6(b) zeigen die farbigen Linien das Ergebnis des VRH-Modells als Vergleich zur Messung (schwarze Punkte) für einen gemessenen OTFT. Abb. 6.7 zeigt, wie  $T_0$  (das durch Extraktion von  $\gamma$  und Einsetzen in Gleichung (6.4) erhalten wurde) mit den verschiedenen Herstellungsprozessen der Proben (Tabelle 6.1) variiert.

Für die Proben 1 und 3 ist  $T_0$  geringer als für die Proben 2 und 4. Dies zeigt, dass das Drucken der Halbleiterschicht (Proben 2 und 4) die energetische Unordnung der DOS erhöht. Breitere DOS führen zu geringeren Ladungsträgergeschwindigkeiten im akkumulierten Transistorkanal. Nach dem VRH-Modell springt ein Ladungsträger von einem lokalisierten Zustand zum nächsten mit der Hüpf-Rate

$$v_{ij} = v_0 \exp(-2\alpha R_{ij}) \times \begin{cases} \exp\left[-\left(\frac{E_j - E_i}{k_B T}\right)\right] & , E_j > E_i \\ 1 & , E_j \leq E_i \end{cases} \quad (6.5)$$

wobei  $v_0$  einen Vorfaktor,  $\alpha$  den Überlapp der elektronischen Wellenfunktion,  $R_{ij}$  den räumlichen Abstand zwischen zwei lokalisierten Zuständen,  $E_i$  sowie  $E_j$  deren Energien bezeichnen und  $k_B$  die Boltzmann-Konstante. Gleichung (6.5) führt zur Hüpf-Wahrscheinlichkeit

$$P_{ij} = \sum \frac{v_{ij}}{\sum_{i \neq j} v_{ij}}. \quad (6.6)$$

Die Zeit  $\tau_h$ , die zwischen zwei Sprüngen vergeht, kann durch

$$\tau_h = \frac{1}{\sum_j v_{ij}} \log(1 - r) \quad (6.7)$$

berechnet werden [7], wobei hier  $r$  aus einer Gleichverteilung im Intervall zwischen 0 und 1 gewählt wird. Wenn die Breite der DOS zunimmt, erhöht sich auch der energetische Abstand zwischen den lokalisierten Zuständen  $\Delta E = E_j - E_i$ . Aus Gleichung (6.5) und (6.7) kann geschlossen werden, dass die Hüpf-Rate  $v_{ij}$  abnimmt und somit die Zeit zwischen zwei Sprüngen  $\tau_h$  zunimmt. Die Geschwindigkeit  $v = \frac{L}{\tau_h}$  eines Ladungsträgers für diesen Sprung im Transistorkanal, gegeben durch die Kanallänge  $L$  und die Sprungzeit  $\tau_h$ , sinkt somit ebenfalls.

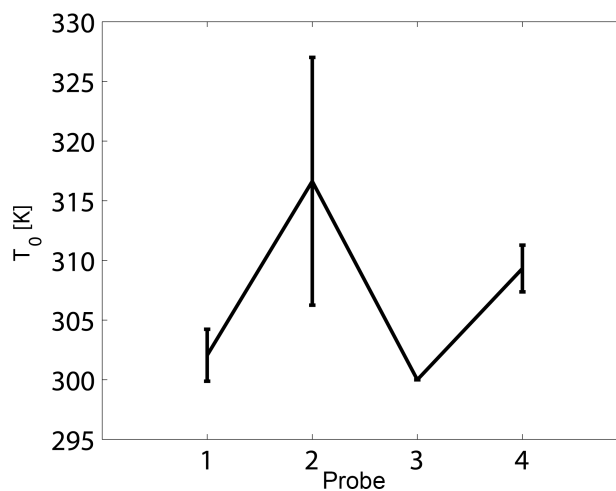


Abbildung 6.7: Variation der Breite der Zustandsdichte,  $T_0$ , für die verschiedenen prozessierten Proben [62]. Siehe Tabelle 6.1 zur Erläuterung des Aufbaus der verschiedenen Proben.

## 6.4 Zusammenfassung

Die Messung der Geschwindigkeitsverteilung für Proben mit Halbleiter und Dielektrikum, die jeweils sowohl durch Flexodruck und Tiefdruck als auch durch Spin-Coating hergestellt wurden, zeigt, dass das Drucken der Halbleiterschicht signifikant die Geschwindigkeit akkumulierter Ladungen während des Transports im Transistorkanal beeinflusst. Aus der Extraktion der Modellparameter des VRH-Modells lässt sich nachweisen, dass eine gedruckte Halbleiterschicht die Breite der Verteilung der Zustandsdichten vergrößert. Entsprechend des VRH-Modells führt eine breitere Verteilung der Zustandsdichten zu erhöhten Zeiten zwischen zwei Sprüngen, wodurch sich die Geschwindigkeit der hüpfenden Ladung verringert. Das Drucken des Dielektrikums hat hierauf keinen Einfluss.

# Kapitel 7

## Ladungsträgerfallen

### Inhalt

---

<b>7.1 Grundlagen zu Ladungsträgerfallen in organischen Halbleitern . . . . .</b>	<b>78</b>
7.1.1 Detektionsverfahren für Ladungsträgerfallen . . . . .	79
<b>7.2 Hysterese in Strom-Spannungs-Kennlinien . . . . .</b>	<b>81</b>
7.2.1 Mechanismen zur Bildung einer Hysterese . . . . .	81
7.2.2 Messaufbau und Analyse der Hysterese . . . . .	82
<b>7.3 Zusammenfassung . . . . .</b>	<b>87</b>

---

Neben der Injektion (Kapitel 4) von Ladungsträgern in den Transistorkanal spielt weiterhin, wie in Kapitel 6 beschrieben, die Morphologie der Grenzschicht zwischen Halbleiter und Dielektrikum eine wichtige Rolle für den Stromtransport und dadurch für das Transistorverhalten. Zusätzlich gilt es vor allem bei der Verwendung molekular ungeordneter Materialien in einem Druckprozess, wie organischen Halbleitern und Dielektrika, Ladungsträgerfallen im Halbleiter, im Dielektrikum oder deren Grenzschicht zu berücksichtigen [17], [59]. In diesem Kapitel wird deshalb auf das Entstehen von Ladungsträgerfallen, ihren Einfluss und deren messtechnischer Charakterisierung, eingegangen <sup>1</sup>. Ladungsträgerfallen machen sich häufig in einer Hysterese in den Ausgangs- bzw. Transfer-Charakteristika bemerkbar, d.h. beim Erhöhen von z.B. einer Drain-Source-Spannung ist in der Ausgangskennlinie der korrespondierende Drain-Source-Strom für eine Drain-Source-Spannung  $V_{DS}$  ein anderer, als beim Verringern der Drain-Source-Spannung. Die im folgenden vorgestellten Messungen verdeutlichen, dass Ladungsträgerfallen die Ladungsträger an der Teilnahme beim Ladungstransport behindern bzw. diese verzögern.

---

<sup>1</sup>Die Arbeiten, die zu den Ergebnissen dieses Kapitels führten, wurden im Rahmen einer Bachelorarbeit [47] unter meiner Betreuung und Anleitung im Rahmen des Spitzenclusters „forum organic electronics“ durchgeführt.

## 7.1 Grundlagen zu Ladungsträgerfallen in organischen Halbleitern

Generell bezeichnen Ladungsträgerfallen einen lokalisierten Zustand, in dem Ladungsträger einen Großteil der Zeit „gefangen“ sind, d.h. dem Ladungstransport nicht zur Verfügung stehen (da sie nach einer „Trapping Time“,  $\tau_{tr}$  gefangen werden), wobei diese Ladungsträger nach einer gewissen Zeit, der „Release Time“  $\tau_{re}$ , wieder freigelassen werden und am Stromtransport teilnehmen [103]. Diese Ladungsträgerfallen können innerhalb des Dielektrikums aufgrund von Verunreinigungen, Strukturdefekten oder angelegten Spannungen entstehen, und sich innerhalb des Dielektrikums oder an der Grenzschicht zum Halbleiter ausbilden. Ladungsträgerfallen innerhalb des Dielektrikums, die irreversibel gefüllt sind, beeinflussen das statische Bauteilverhalten, da gefangene Ladungen das elektrische Feld der Gate-Spannung  $V_G$  abschirmen und so zu einer verminderten Kontrolle des leitenden Transistorkanals und z.B. zu einer sich verschiebenden Schwellspannung  $V_T$  führen. Ladungsträgerfallen im Dielektrikum hingegen beeinflussen den Gate-Leckstrom durch das Dielektrikum und können zu Hysteresen führen. Ladungsträgerfallen an der Grenzschicht zwischen Halbleiter und Dielektrikum sind besonders kritisch, da sie direkt den Ladungstransport im Kanal (der sich an der Grenzschicht zwischen Halbleiter und Dielektrikum ausbildet) beeinflussen, da gefangene Ladungsträger nicht zum Ladungstransport beitragen können. Ladungsträgerfallen im Halbleiterfilm bzw. an der Grenzschicht zwischen Halbleiter und Dielektrikum können durch lokalisierte Energiezustände innerhalb der Bandlücke beschrieben werden. Sogenannte Akzeptor-Ladungsträgerfallen fangen Elektronen, Donator-Ladungsträgerfallen dagegen Löcher. Da das elektrische Feld innerhalb des Transistors zu einem Transistorkanal führt, der sich innerhalb weniger Monolagen an der Grenzschicht Halbleiter-Dielektrikum ausbildet, werden Ladungsträgerfallen tief im Halbleiterfilm im folgenden vernachlässigt. Wie in Kapitel 2 beschrieben, geschieht Ladungstransport in molekular ungeordneten organischen Materialien über Sprünge zwischen lokalisierten molekularen Zuständen und die Bandlücke des Halbleiters wird über die Level des Lowest Unoccupied Molecular Orbital (LUMO) und HOMO des Moleküls bestimmt. Die Zustandsdichten sind in diesem Fall gaußverteilt (siehe Abschnitt 5.5). Der Ladungstransport und der Prozess des Einfangens von Ladungsträgern lässt sich durch Transportzustände und Zustände, in denen sich Ladungsträgerfallen befinden, beschreiben (siehe Abb. 7.1). Energieniveaus, die sich in den Ausläufern der Zustandsdichten und unterhalb der temperaturabhängigen Energie  $E_t$ , der Transportenergie, befinden, werden als Zustände für Ladungsträgerfallen definiert. Zusätzlich können dezidierte Zustände für Ladungsträgerfallen existieren. Die drei wichtigsten Ursachen für Ladungsträgerfallen liegen in den folgenden drei Punkten [101], [103]:

- Verunreinigungen, d.h. extrinsische Moleküle, deren spezifische HOMO- und LUMO-Level fix sind und sich innerhalb der Bandlücke des organischen Halbleiters befinden. Besonders während der Flüssigprozessierung, wie z.B. dem Drucken, lagern sich diese Verunreinigungen an der Grenzschicht zwischen Halbleiter und Dielektrikum an.



- Strukturdefekte können dazu führen, dass innerhalb desselben Materials sich die HOMO- und LUMO-Level, z.B. aufgrund veränderter Konjugationslänge der Polymere, ändern. Dadurch werden die HOMO- und LUMO-Level und somit auch die Zustände der Ladungsträgerfallen beeinflusst. Zusätzlich können Strukturdefekte an sich Ladungsträgerfallen darstellen.
- Polaronen oder Bipolaronen [46] können die Energie der Ladungsträger verringern, sodass diese gefangen werden. Das Quasi-Partikel Polaron kann als molekulare Deformation des Materials beschrieben werden, das dadurch entsteht, dass sich Ladungsträger durch das Material bewegen.

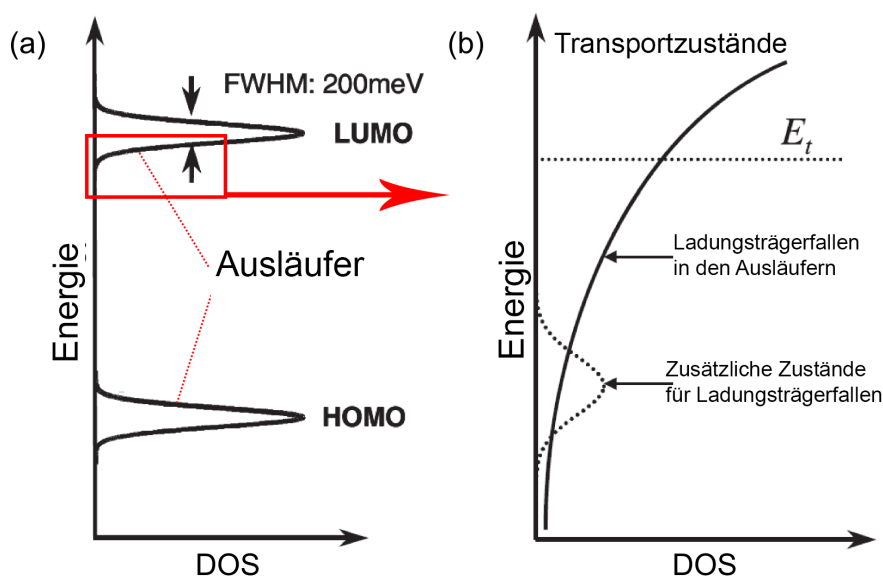


Abbildung 7.1: (a) Verteilung der Zustandsdichten für HOMO- und LUMO-Level eines organischen Halbleiters und (b) der Zustandsdichten für Ladungsträgerfallen in den Ausläufern der HOMO- und LUMO-Zustandsdichten, nach [101].

### 7.1.1 Detektionsverfahren für Ladungsträgerfallen

Ladungsträgerfallen können durch Illumination analysiert werden [101]. Dabei werden gefangene Ladungsträger freigesetzt. Durch elektrische Detektion der Ladungen in Abhängigkeit von der Wellenlänge des bestrahlenden Lichts lassen sich die Energieniveaus der Ladungsträgerfallen identifizieren. Eine weitere Möglichkeit besteht darin, anstatt einer Illumination die Abhängigkeit freigelassener Ladungsträger von der Temperatur zu untersuchen. Elektrische Messungen des raumladungsbegrenzten Stromes („Space Charge Limited Current“) [54], [87] setzen ohmsche Kontakte und geringe Ladungsträgerbeweglichkeiten  $\mu$  voraus. In Materialien, die frei von Ladungsträgerfallen sind, ist die Stromdichte  $J$  proportional zur angelegten Spannung  $V$  ( $J \propto V$ ). Bei Anwesenheit von Ladungsträgerfallen ist der Strom raumladungsbegrenzt und proportional zum Spannungsquadrat ( $J \propto V^2$ ). Ladungsträgerfallen im Halbleiter (oder im

Dielektrikum) können durch Strom-Spannungs-Messungen an Metall-Halbleiter-Metall-Übergängen (bzw. Metall- Isolator-Metall-Übergängen) charakterisiert werden. Diese Messungen sind nur unter folgenden Annahmen möglich:

- Die Source- und Drain-Kontakte müssen ein ohmsches Verhalten aufweisen.
- Die Dichte der Ladungsträger muss gering sein und die Rate zum Einfangen der Ladungsträger  $R_{tr} \propto \tau_{tr}$  wie auch zum Freilassen  $R_{re} \propto \tau_{re}$  muss hoch sein.

Da im vorliegenden Fall diese Annahmen nicht erfüllt sind bzw. unbekannt ist, ob sie erfüllt werden können, wurden die Ladungsträgerfallen dadurch charakterisiert, dass die Relaxation der Ladungsträger im Transistor untersucht wurde (siehe Abb. 7.2). Hierzu wurde für eine Dauer von 500 s eine Gate-Source- und Drain-Source-Spannung  $V_{GS}=V_{DS}=-40$  V an einen OTFT mit p-Halbleiter angelegt. Unter dieser Bedingung kann angenommen werden, dass alle Zustände der Ladungsträgerfallen besetzt sind [71]. Danach wurden alle Spannungen für 500 s auf 0 V gesetzt und der Drain-Source-Strom  $I_{DS}$  gemessen. Wie Abb. 7.2 zu entnehmen ist, nahm der Strom  $I_{DS}$  mit der Zeit ab. Dieser Relaxationsstrom kann durch das Freiwerden zuvor gefangener Ladungsträger erklärt werden. Eine weitere Möglichkeit könnte das Entladen von Kapazitäten (Dielektrikumskapazität  $C_{OX}$  bzw. Überlappkapazitäten  $C_{GS,O}$  und  $C_{GD,O}$ , siehe Abschnitt 9.2.2.3.1) sein. Dass dies ausgeschlossen werden kann, ist in Abschnitt 7.2.2 beschrieben. Dass gefangene Ladungsträger aus Ladungsträgerfallen mit der Zeit freigelassen werden, macht sich in den Ausgangs- bzw. Transfer-Charakteristika dadurch bemerkbar, dass der Drain-Source-Strom  $I_{DS}$  für eine Drain-Source- bzw. Gate-Source-Spannung davon abhängt, welche Spannungen zuvor angelegt waren. Diese Hysterese, und welche Faktoren sie bedingen, wird im folgenden Abschnitt beschrieben.

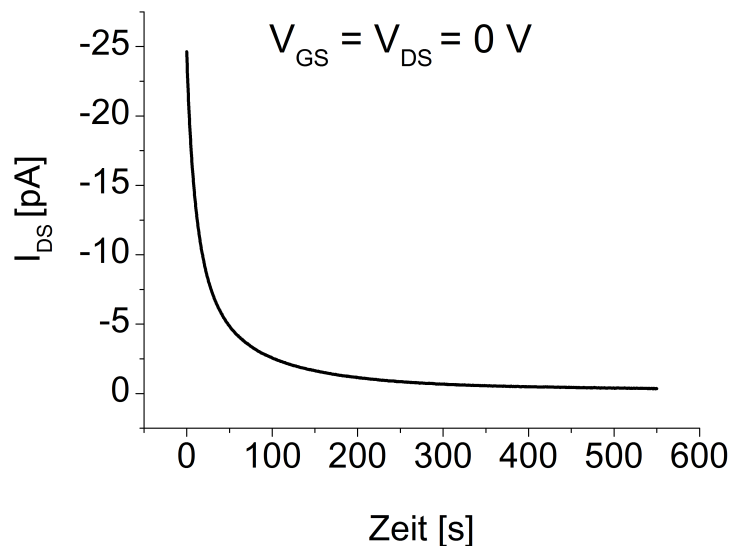


Abbildung 7.2: Relaxationsmessung ( $V_{DS}=V_{GS}=0$  V) des Drain-Source-Stromes  $I_{DS}$ , nachdem zuvor Spannungen  $V_{DS}=V_{GS}=-40$  V für  $t=500$  s angelegt wurden.

## 7.2 Hysterese in Strom-Spannungs-Kennlinien

Eine Hysterese in Strom-Spannungs-Kennlinien stellt bei organischen Bauteilen ein enormes Problem dar. Da Spannungsdurchläufe in ansteigende und abfallende Richtung zu unterschiedlichen Strömen führen, ist der Strom, der durch einen Transistor fließt, nicht nur von der aktuell angelegten Spannung, sondern auch davon abhängig, welche Spannung vorher angelegt war. Aus Modellierungssicht stellt dies eine große Herausforderung dar [17]. Für Applikationen ist dies nicht wünschenswert, da dadurch ein unvorhersehbares Verhalten einer Schaltung, die aus solchen Transistoren aufgebaut wird, resultieren kann. Aus diesem Grund ist in der Messvorschrift in Abschnitt 3.3 eine Relaxationsmessung eingebaut worden, um Fehlinterpretationen von Messergebnissen zu vermeiden und die Transistoren vor jeder weiteren Messung zu initialisieren und etwaige Ladungsträgerfallen zu entleeren um einen Null-Zustand herzustellen.

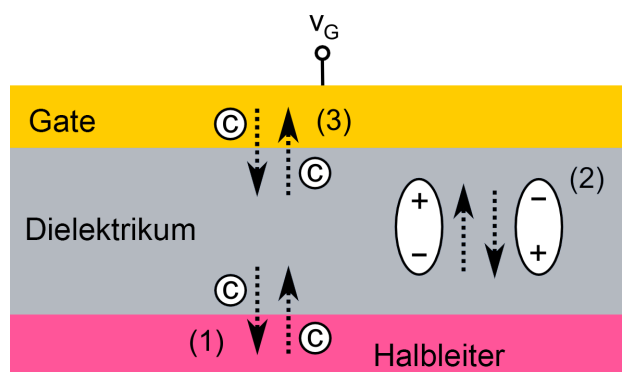


Abbildung 7.3: Prozesse, die zur Hysterese führen: Ladungsträgerfallen bzw. Injektion von Ladungen („c“) in der Grenzschicht Halbleiter-Dielektrikum (Prozess 1), langsame Polarisierung im Dielektrikum (Prozess 2), und Ladungsträgerfallen bzw. Injektion von Ladungen in das Dielektrikum (Prozess 3), nach [47].

### 7.2.1 Mechanismen zur Bildung einer Hysterese

Die Hysterese in OTFTs kann durch Effekte im Dielektrikum, in der Halbleiterschicht oder der Grenzschicht zwischen Halbleiter und Dielektrikum verursacht werden (siehe Abb. 7.3) [39], [90]. Für Effekte im Dielektrikum kommen langsame Polarisierungen mobiler Ionen (Prozess 2) und Injektion von Ladungsträgern in das Dielektrikum aus der Gate-Elektrode (Prozess 3) in Frage. In Kombination mit Ladungsträgerfallen können instabile Strom-Spannungs-Charakteristika resultieren. Aus der Größe der Hysterese und der Richtung der Spannung, bei der diese entsteht, kann auf den grundlegenden Mechanismus, der zur Hysterese führt, geschlossen werden. Beide Eigenschaften können durch eine Verschiebung der Schwellspannung  $V_T$  quantifiziert werden, wie sie in einer hysteresenbehafteten Transferkennlinie beobachtet werden kann. Verschiebungen der Schwellspannung hin zu positiveren Werten bei p-Halbleitern führen zu erhöhten Drain-Source-Strömen, während Verschiebungen hin zu negativeren Werten bei abnehmenden Drain-Source-Strömen zu beobachten sind, wenn die Drain-Source-Spannung erniedrigt wird.

(siehe Abb. 7.4). Ladungsträgerfallen an der Grenzschicht Halbleiter-Dielektrikum (Prozess 1) spielen, wie in Abschnitt 7.1 beschrieben, eine größere Rolle als jene tief im Halbleiterfilm. Durch die im nachfolgenden vorgestellten Messungen werden die Ursprünge und Mechanismen, die zu einer Hysterese führen, analysiert.

## 7.2.2 Messaufbau und Analyse der Hysterese

Die in Abschnitt 3.3 vorgestellte Messvorschrift wurde für die Analyse der Hysterese durch Ladungsträgerfallen dahingehend abgeändert, dass die Dauer des Durchlaufens der verschiedenen Spannungen variiert wurde. Hierfür wurden die Integrationszeit „Number Of Power Line Cycles“ (NPLC) und die Verzögerung zwischen Anlegen der Spannungen und Messen der Ströme („Measure Delay“) folgendermaßen eingestellt:

- für schnelle Messungen wird  $NPLC = 1$  und  $Measure\ Delay = 0\text{ s}$  eingestellt,
- für mittlere Messungen wird  $NPLC = 6$  und  $Measure\ Delay = 0,1\text{ s}$  eingestellt,
- für langsame Messungen wird  $NPLC = 6$  und  $Measure\ Delay = 5\text{ s}$  eingestellt.

Mit dieser modifizierten Messvorschrift sind  $I_{DS}$  vs.  $V_{DS}$  Ausgangs- und  $I_{DS}$  vs.  $V_{GS}$  Transferkennlinien aufgenommen worden, wie sie in Abb. 7.4 für einen Transistor mit  $\frac{W}{L} = 2000$  (dessen Halbleiter und Dielektrikum durch Spin-Coating abgeschieden wurden - siehe Abschnitt 3.1) dargestellt sind. Für beide Kennlinien korreliert die Hysterese mit einer negativen Verschiebung der Schwellspannung, da bei sich betragsmäßig verringernden Drain-Source- bzw. Gate-Source-Spannungen der Drain-Source-Strom betragsmäßig geringer war, als für ansteigende Spannungen. Dies deutet nach [22], [38], [39], [90] und [100] auf Ladungsträgerfallen in der Grenzschicht zwischen Halbleiter und Dielektrikum hin (Prozess 1 in Abb. 7.3).

Die anderen Prozesse in Abb. 7.3 würden zu einer Hysterese der Drain-Source-Stromes in die andere Richtung führen. Eine langsame Polarisation (Prozess 2) kann Dipolen (z.B. Hydroxyl-Gruppen) im Gate-Dielektrikum zugeschrieben werden. Diese Dipole orientieren sich nur langsam bei einem Wechsel des angelegten Feldes um. Aus diesem Grund müsste der Strom mit der Zeit ansteigen (positive Verschiebung der Schwellspannung). Dieser Effekt kann sogar durch sich bewegende negative Ionen verstärkt werden, die sich im Dielektrikum hin zur Halbleiter-Dielektrikum-Grenzschicht bewegen. Dadurch wird die Akkumulation von Löchern im p-Halbleiter erhöht. Gegen Prozess 3 in Abb. 7.3 sprechen folgende Gründe: Zum einen liegen die gemessenen Gate-Leckströme im Bereich von 1,5% des gemessenen Drain-Source-Stromes. Zum anderen würden injizierte Elektronen aus der Gate-Elektrode (bei negativen Gate-Spannungen  $V_G < 0\text{ V}$ ) ins Dielektrikum zu einer positiven Verschiebung der Schwellspannung führen, da sie analog wie die negativen Ionen die Akkumulation von Löchern begünstigen würden.

Ein umgekehrtes Szenario für den hier vorliegenden Fall kann auch in Betracht gezogen werden: Löcher, die aus dem Transistorkanal in das Dielektrikum injiziert werden, würden zu der beobachteten Hysterese führen. Aus Gründen der Vereinfachung werden diese beiden Effekte aber mit Ladungsträgerfallen an der Grenzschicht vereinigt.

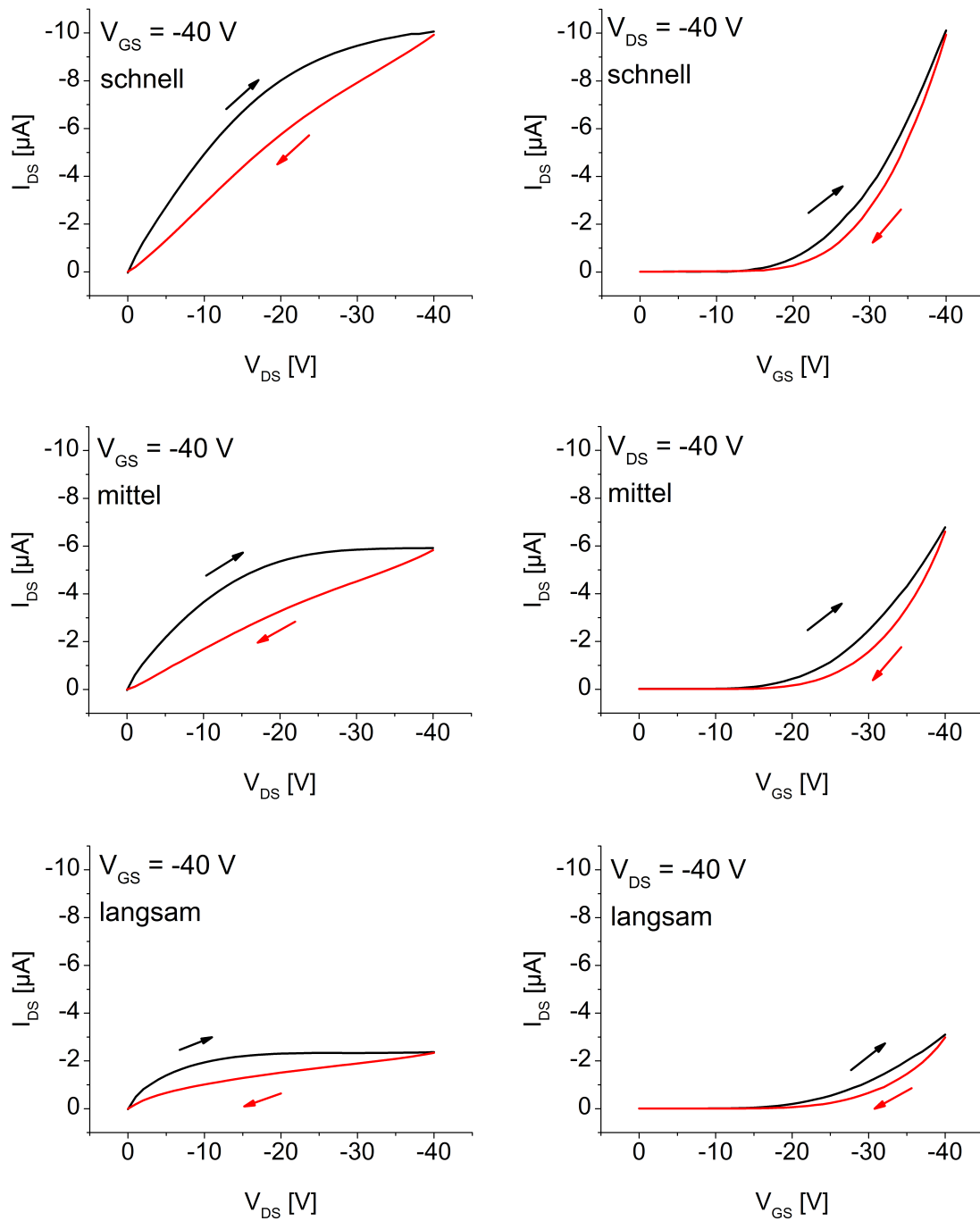


Abbildung 7.4: Einfluss der Messgeschwindigkeit auf die Hysterese und den Drain-Source-Strom bei einem p-OTFT. Besonders in der Ausgangskennlinie (links) nimmt die Größe der Hysterese ab, wenn langsamer gemessen wird. Der Drain-Source-Strom  $I_{DS}$  verringert sich sowohl für die Ausgangskennlinie, als auch die Transferkennlinie (rechts).

Für detaillierte Untersuchungen der Hysterese ist der zeitliche Verlauf des Drain-Source-Stromes  $I_{DS}$  bei Gate-Source- und Drain-Source-Spannungen  $V_{GS} = V_{DS} = -40V$  für 500s gemessen worden. Abb. 7.5 zeigt, dass der Strom exponentiell mit der Zeit abnimmt. Hierfür kommen zwei Modelle für Ladungsträgerfallen in Betracht:

- Langlebige Ladungsträgerfallen für Elektronen im Halbleiter oder der Halbleiter-Dielektrikum-Grenzschicht werden durch eine bereits anliegende positive Gate-Source-Spannung  $V_{GS} > 0V$  mit Elektronen gefüllt. Wird nun die Gate-Source-Spannung  $V_{GS} \leq 0V$  negativ, werden durch die negativ geladenen Ladungsträgerfallen mehr Löcher im Kanal akkumuliert und tragen zu einem erhöhten Drain-Source-Strom  $I_{DS}$  bei. Mit der Zeit jedoch entladen sich aufgrund der angelegten negativen Gate-Source-Spannung  $V_{GS}$  die gefüllten Ladungsträgerfallen, weniger Löcher werden akkumuliert und der Strom sinkt [22].
- Langlebige Ladungsträgerfallen für Löcher werden sofort bei Anlegen einer negativen Gate-Source-Spannung  $V_{GS} \leq 0V$  gefüllt. Wird diese Gate-Source-Spannung  $V_{GS}$  negativer (betragsmäßig größer), werden mehr Löcher akkumuliert und somit die Ladungsträgerfallen gefüllt, was zu einem verringerten Drain-Source-Strom  $I_{DS}$  führt, da die gefangenen Löcher nicht zum Ladungstransport beitragen können. Wird die Gate-Source-Spannung  $V_{GS}$  positiver (betragsmäßig kleiner), werden einige gefangene Löcher freigelassen. Da jedoch diese Ladungsträgerfallen eine relativ lange „Trapping Time“  $\tau_{tr}$  aufweisen, bleibt der Strom in der Messung konstant [22], [90].

Da diese Effekte beide zu einer gleichen Verstärkung der Hysterese in die gleiche Richtung führen, können sie nicht klar unterschieden werden. Es kann aber angenommen werden, dass Ladungsträgerfallen für Löcher den größeren Einfluss haben, da in p-Halbleitern Löcher die Majoritätsladungsträger darstellen. Um die Lebensdauer der Ladungsträgerfallen für Löcher abschätzen zu können, wurde der gemessene Drain-Source-Strom mit einer exponentiell abklingenden Zeitfunktion gefittet (Abb. 7.5):

$$I_{DS} = y_0 + A_1 e^{-\frac{t}{\tau_1}}. \quad (7.1)$$

Die extrahierte Zeitkonstante  $\tau_1=65,4s$  lässt den Schluss zu, dass aufgrund ihrer Größe kapazitive Entladungen nicht zum beobachteten Stromverlauf beitragen. Selbst für sehr große Kapazitäten von 65 nF (wie in Abschnitt 9.2.2.3.1 erläutert, liegen die Dielektrikums- und Überlappkapazitäten  $C_{OX}$ ,  $C_{GS,O}$  und  $C_{GD,O}$  im Bereich von pF) müsste der Widerstand des Bauteils (Kanal- und Kontaktwiderstand, siehe Kapitel 4) im Bereich von 1 G $\Omega$  liegen um eine vergleichbare Zeitkonstante zu ergeben. Für die Ausgangs- und Transferkennlinien in Abb. 7.4 kann festgehalten werden, dass für langsame Messungen die Größe, d.h. die Fläche der Hysterese abnimmt, wobei dies mehr für die Ausgangs- als für die Transferkennlinie zutrifft. Dies deutet darauf hin, dass die Gate-Source-Spannung  $V_{GS}$  kritisch für die Hysterese ist, da diese während der Ausgangskennlinie konstant bei  $V_{GS}=-40V$  gehalten wurde, sich jedoch in der Transferkennlinie änderte. Während in der Transferkennlinie die Gate-Source-Spannung  $V_{GS}$  verringert wurde (d.h. positiver wurde im Fall von p-Halbleitern), verringerte sich die Zahl akkumulierter Löcher und weniger Ladungsträgerfallen wurden entleert. Aus diesem Grund ändert sich die Hysterese

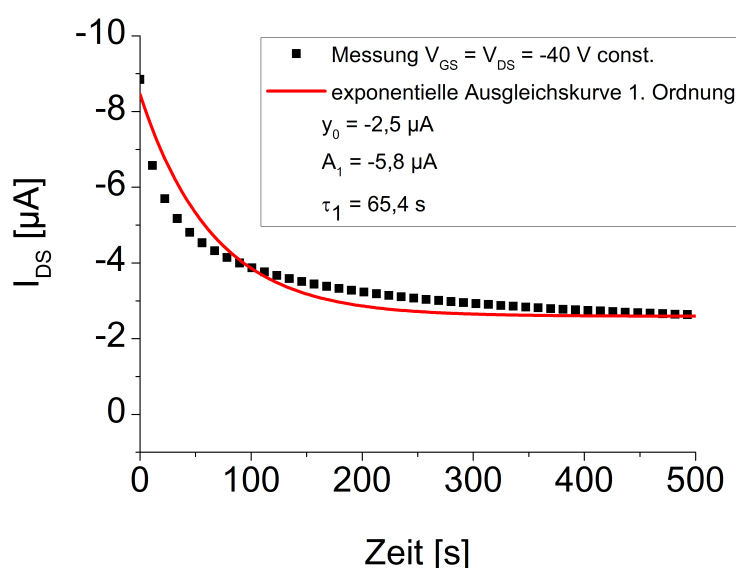


Abbildung 7.5: Zeitlicher Abfall des Drain-Source-Stromes  $I_{DS}$  während konstant angelegter Drain-Source- und Gate-Source-Spannungen  $V_{GS}=V_{DS}=-40 \text{ V}$  und an diese Messkurve angepasste exponentielle Ausgleichskurve 1. Ordnung.

kaum. Mithilfe der extrahierten Zeitkonstante  $\tau_1$  lässt sich für die Ströme in der Ausgangskennlinie folgendes schließen: Für die schnelle Messung ist  $\tau_1$  bedeutend größer als die Messdauer. Die Zeit für das Erhöhen bzw. Erniedrigen der Drain-Source-Spannung  $V_{DS}$  liegt demzufolge im Bereich der größten Steigung im exponentiellen Abfall in Abb. 7.5. Ladungsträgerfallen für Löcher werden kontinuierlich während beider Spannungsdurchläufe gefüllt sowie entleert und führen zu einer großen Hysterese. Gleiches gilt für mittlere Messgeschwindigkeiten. Der Strom nimmt die ganze Zeit über ab, da die Messzeit von der schnellen zur mittleren Messgeschwindigkeit zunimmt und dadurch mehr Löcher gefangen werden. Die Größe der Hysterese bleibt jedoch nahezu gleich, was auf identische Trapping und Release Raten hindeutet. Für die langsame Messung ist die Messdauer bedeutend größer als  $\tau_1$ . Der Drain-Source-Strom nimmt verglichen mit den Messungen für andere Messgeschwindigkeiten weiter ab, fällt jetzt jedoch kaum mehr mit der Zeit, da alle Ladungsträgerfallen gefüllt sind. Somit verkleinert sich die Größe der Hysterese.

Der Einfluss der Gate-Source-Spannung  $V_{GS}$  ist mit einer Messung untersucht worden, bei der die Drain-Source-Spannung  $V_{DS}=-40 \text{ V}$  konstant gehalten wurde, während die Gate-Source-Spannung  $V_{GS}$  in der Messung für je  $t=0-100 \text{ s}$  auf  $V_{GS,0}=30 \text{ V}$ ,  $-10 \text{ V}$ ,  $-30 \text{ V}$  und für  $t=100-200 \text{ s}$  auf  $V_{GS}=-20 \text{ V}$  gesetzt wurde. Zwischen diesen drei Messungen wurden alle Kontakte des OTFTs für  $500 \text{ s}$  auf  $0 \text{ V}$  gesetzt (wie in Abb. 7.2). Abhängig vom Initialwert der Gate-Source-Spannung  $V_{GS,0}$  ändert sich der Drain-Source-Strom für  $V_{GS}=-20 \text{ V}$ . Für die positive Vorspannung  $V_{GS,0}=30 \text{ V}$  entleeren sich etwaige gefangene Löcher innerhalb der ersten  $100 \text{ s}$ . Aus diesem Grund ist der starke Abfall des Stromes  $I_{DS}$  zu beobachten, da alle Ladungsträgerfallen zuerst komplett entleert und danach gefüllt werden. Für die Vorspannung  $V_{GS,0}=-10 \text{ V}$  trat dieser Effekt ebenfalls auf, jedoch vermindert, da nun vorher nicht alle Ladungsträgerfallen entleert wurden. Der Drain-Source-

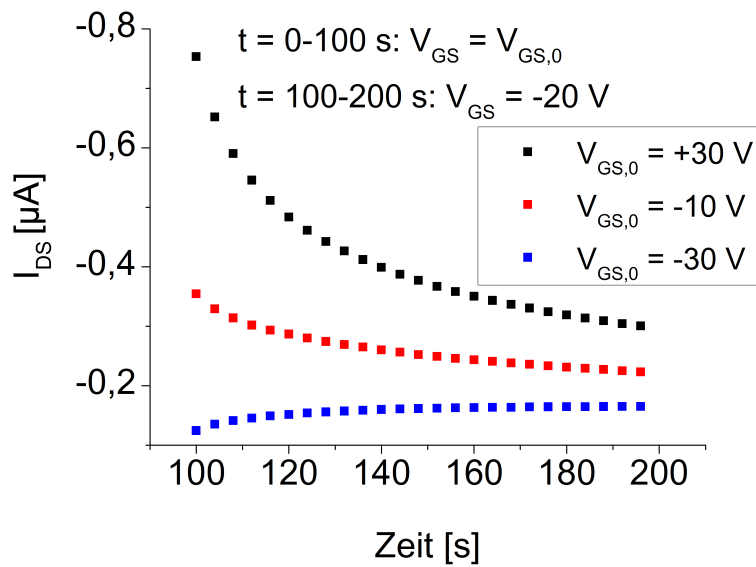


Abbildung 7.6: Einfluss verschiedener Gate-Source-Vorspannungen  $V_{GS,0}$  für  $t=0-100 \text{ s}$  auf das zeitliche Verhalten des Drain-Source-Stromes  $I_{DS}$  bei konstanter Drain-Source-Spannung  $V_{DS}=-40 \text{ V}$  und Gate-Source-Spannung  $V_{GS}=-20 \text{ V}$  für  $t=100-200 \text{ s}$ .

Strom  $I_{DS}$  wurde kleiner, da mehr akkumulierte Löcher innerhalb der ersten 100 s gefangen wurden. Für den Fall der Vorspannung  $V_{GS,0}=-30 \text{ V}$  war der Strom  $I_{DS}$  nochmals reduziert, nahm jetzt jedoch mit der Zeit zu. Da die Gate-Source-Spannung  $V_{GS} < V_{GS,0}$  negativer als die Vorspannung war, wurden gefangene Löcher freigelassen, sodass der Strom zunahm. In einem weiteren Experiment wurden die Messungen der Ausgangs- und Transferkennlinien 20 mal bei mittlerer Messgeschwindigkeit wiederholt. Abb. 7.7 zeigt, dass sowohl für die Ausgangs- als auch für die Transferkennlinien der Strom mit jeder Messwiederholung abnimmt. Weiterhin wird die Hysterese insbesondere in der Ausgangskennlinie kleiner. In der Transferkennlinie sättigt sich die Verschiebung der Schwellspannung. In Abb. 7.7 ist der Drain-Source-Strom für alle 20 Messungen hintereinander aufgezeichnet. Für die Ausgangskennlinien ist eine Abnahme des Stromes mit der Anzahl der Wiederholungen, wie in Abb. 7.5 zu erkennen. Für die Transferkennlinie nimmt der Strom schneller ab, die absolute Abnahme jedoch fällt geringer aus als für die Ausgangskennlinie. Dies zeigt, dass besonders die Gate-Source-Spannung  $V_{GS}$  einen großen Einfluss auf die Hysterese bzw. auf das Füllen und Entleeren der Ladungsträgerfallen hat.



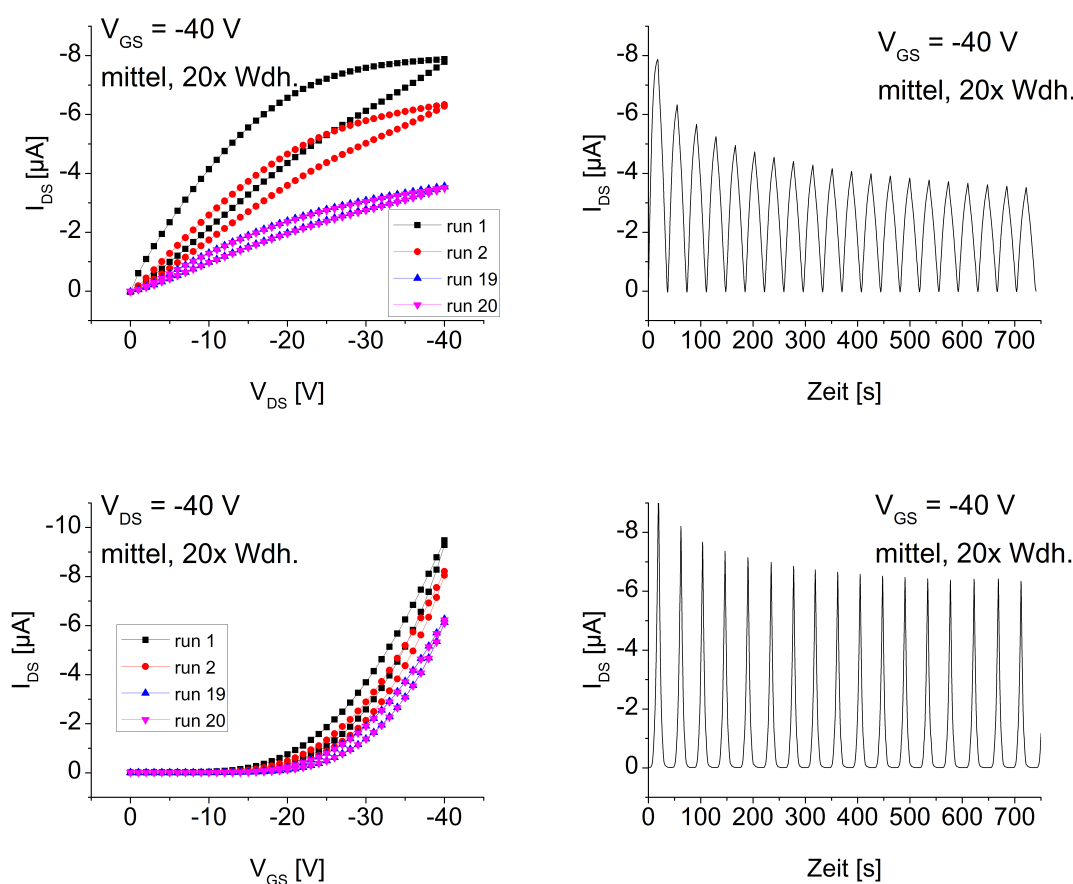


Abbildung 7.7: 20 Wiederholungen bei mittlerer Messgeschwindigkeit von Ausgangs- (oben links) und Transferkennlinien (unten links) und entsprechender zeitlicher Verlauf des Drain-Source-Stromes für die komplette Dauer der Wiederholungen (rechts). In den Strom-Spannungs-Kennlinien (links) sind die ersten und letzten beiden Wiederholungen gezeigt, wobei run 19 bereits von run 20 überdeckt wird.

## 7.3 Zusammenfassung

In diesem Kapitel ist gezeigt worden, dass die Hysterese in Ausgangs- und Transferkennlinien der in dieser Arbeit vorliegenden Transistoren durch das Füllen und Entleeren von Ladungsträgerfallen bedingt ist. Die für die OTFT auf p-Halbleiterbasis (siehe Kapitel 3) verantwortlichen Ladungsträgerfallen befinden sich an der Grenzschicht zwischen Halbleiter und Dielektrikum und z.T. im Dielektrikum. Großen Einfluss auf den Zustand einer Ladungsträgerfalle hat die Gate-Source-Spannung und die Dauer der Belastung. Die Drain-Source-Spannung ist von geringerer Bedeutung. Die Ladungsträgerfallen lassen sich durch Relaxationsmessungen, wie sie in der Messvorschrift 3.3 vorgesehen sind, entleeren, die jedoch einer bestimmten Länge entsprechen müssen, da es sich um langlebige Ladungsträgerfallen handelt.



# Kapitel 8

## Leckströme durch das Gate-Dielektrikum

### Inhalt

8.1	Einfluss der Leckströme auf die Ausbeute und das Bauteilverhalten . .	90
8.2	(Qualitativer) Einfluss der self-assembled monolayers auf die Leckströme durch das Gate-Dielektrikum . . . . .	94
8.3	Modellstrukturen für die Simulation der Leckströme . . . . .	94
8.4	Zusammenfassung . . . . .	100

Neben dem Stromfluss  $I_{DS}$  von der Source- zur Drain-Elektrode existiert ein Stromfluss von der Gate- hin zur Source- bzw. Drain-Elektrode  $I_G = I_{GS} + I_{GD}$ . Da, wie in Abschnitt 3.2 beschrieben, der Kanalstrom durch den Transistor durch einen Kanal der SMU an der Drain-Elektrode gemessen wird, kann nicht unterschieden werden, ob der z.B. in die Drain-Elektrode hineinfließende Strom allein aus dem Ladungsträgertransport von der Source-Elektrode durch den Transistorkanal bedingt ist, oder eine Superposition aus Drain-Source-Strom und Gate-Drain-Strom  $I_D = I_{DS} + I_{GD}$  vorliegt. Somit kann ein Leckstrom  $I_G$  zu einer vermeintlichen Erhöhung oder Verringerung des Drain-Source-Stromes  $I_{DS}$  führen. Sobald ein Leckstrom  $I_G$  fließt, lässt sich der Transistor nicht mehr leistungslos schalten, denn die angelegte Gate-Spannung  $V_G$  führt zu einem Leckstrom  $I_G$  und somit zu einem unerwünschten Leistungsverbrauch  $P = V_G \cdot I_G$ . Zusätzlich kann der Leckstrom zu einer Degradation bzw. sogar einer Zerstörung des Dielektrikums führen. Dieses Kapitel <sup>1</sup> geht auf die Ursachen des Gate-Leckstromes ein, wodurch er beeinflusst werden kann und wie sich der Leckstrom auf die Ausbeute hergestellter Bauteile auswirkt. Weiterhin ist eine Modellstruktur in *Sentaurus TCAD* entwickelt worden, mittels derer das Verhalten des Leckstromes nachgebildet werden kann. Um den Einfluss des SAM in einer Transistor-Modellstruktur für eine FE-Simulation zu untersuchen, ist

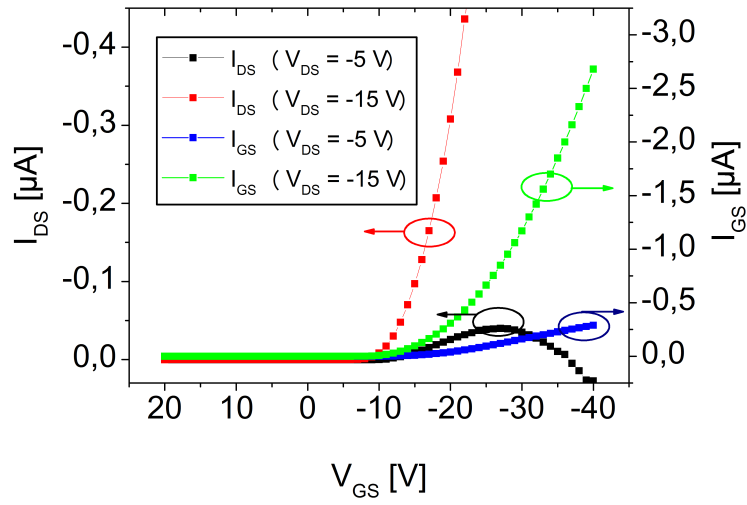
<sup>1</sup>Die Arbeiten, die zu den Ergebnisse dieses Kapitels führten, wurden im Rahmen einer Seminararbeit [58] unter meiner Betreuung und Anleitung im Rahmen des Spitzenclusters „forum organic electronics“ durchgeführt.

das Dielektrikum hierfür sowohl als leitender Isolator (*ConductiveInsulator* in *Sentaurus TCAD*) als auch als schlecht leitender Halbleiter modelliert worden.

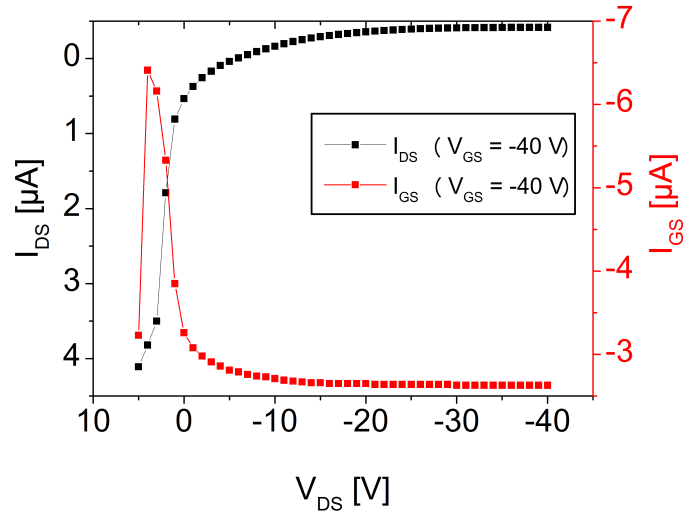
## 8.1 Einfluss der Leckströme auf die Ausbeute und das Bauteilverhalten

Die Betrachtung der Leckströme ist dadurch motiviert, dass deren Größe in einigen Fällen den gemessenen Drain-Source-Strom beeinflussen können. Wie oben beschrieben, lässt sich nicht immer unterscheiden, ob ein gemessener Drain-Source-Strom alleine durch den Ladungstransport durch den Transistorkanal hervorgerufen wird oder ein in den entsprechenden Messkanal der SMU hinein fließender Strom auch von der Gate-Elektrode herrühren kann.

Abb. 8.1(a) zeigt ein typisches Beispiel, bei dem der Gate-Leckstrom die gemessenen Transferkennlinie beeinflusst. Die Transferkennlinie für  $V_{DS} = -5\text{ V}$  (rot) knickt ab ca.  $V_{GS} = -20\text{ V}$  (hin zu positiveren Strömen) ab, anstatt weiter (hin zu negativeren Strömen) anzusteigen. Die entsprechende Kennlinie für den Gate-Strom  $I_G$  zeigt, dass der Leckstrom in diesem Extremfall eine Größenordnung über dem Drain-Source-Strom liegt. Für  $V_{DS} = -5\text{ V}$  und  $V_{GS} = -40\text{ V}$  beträgt die an der Gate-Elektrode anliegende Spannung  $V_G = -40\text{ V}$  und die an der Drain-Elektrode anliegende Spannung  $V_D = -5\text{ V}$  (die Source-Elektrode liegt auf Masse, sodass  $V_S = 0\text{ V}$ ). Somit ergibt sich eine Gate-Drain-Spannung von  $V_{GD} = -35\text{ V}$ , die einen Gate-Drain-Leckstrom der Löcher hervorruft, der aus der positiveren Elektrode (Drain) hin zur negativeren Elektrode (Gate), d.h. aus der Drain-Elektrode hinausfließt, wobei der Drain-Source-Strom in die Drain-Elektrode hineinfließt. Dieser Gate-Drain-Strom ist größer als der Drain-Source-Strom, sodass das Vorzeichen der Strombilanz für die Drain-Elektrode sich umkehrt (hin zu positiven Strömen). Abb. 8.1(b) zeigt beim gleichen exemplarischen Transistor die  $I_{DS}$  vs.  $V_{DS}$  Ausgangskennlinie und den entsprechenden Leckstrom für eine Gate-Spannung  $V_{GS} = -40\text{ V}$ . Entgegen der Erwartung und einer idealen Kennlinie, wie sie in Abb. 3.6(a) in Abschnitt 3.4 gezeigt ist, ist der Drain-Source-Strom für eine Drain-Source-Spannung  $V_{DS} = 0\text{ V}$  nicht Null, sondern der Nulldurchgang ist zu einer betragsmäßig größeren Spannung  $V_{DS} \sim -7\text{ V}$  verschoben. Auch hierfür ist der Grund im Gate-Leckstrom zu finden. Für eine Spannung  $V_D = 0\text{ V}$  an der Drain-Elektrode (Source liegt auf Masse,  $V_S = 0\text{ V}$ ) beträgt die Gate-Drain-Spannung  $V_{GD} = -40\text{ V}$  und es fließt ein großer Löcher-Leckstrom aus der positiveren Drain-Elektrode hin zur negativeren Gate-Elektrode. Für  $V_D = -40\text{ V}$  ist dann  $V_{GD} = 0\text{ V}$  und es fließt nahezu kein Gate-Leckstrom mehr. Somit ist die Strombilanz der Drain-Elektrode für  $V_D = 0\text{ V}$  positiv, es fließt Strom (zur Gate-Elektrode) hinaus. Erst wenn bei einer entsprechend betragsmäßig größeren Drain-Spannung (die Gate-Drain-Spannung ist dann geringer) der hinausfließende Gate-Drain-Leckstrom durch einen in die Drain-Elektrode hinein fließenden Drain-Source-Strom kompensiert wird (im vorliegenden Fall eben bei  $V_{DS} \sim -7\text{ V}$ ), ist dann wieder die Strombilanz negativ, es fließt Strom in die Drain-Elektrode hinein, der dann (größtenteils) durch den Drain-Source-Strom bedingt ist.



(a)



(b)

Abbildung 8.1: Vergleich der typischen Größenordnung der Transferkennlinie  $I_{DS}$  vs.  $V_{GS}$  (a) und der Ausgangskennlinie  $I_{DS}$  vs.  $V_{DS}$  (b) und des entsprechenden Leckstromes während dieser Kennlinienmessung  $I_G$  vs.  $V_{GS}$  bzw.  $I_G$  vs.  $V_{DS}$  eines entsprechend Abschnitt 3.1 hergestellten Transistors. Für die Transferkennlinie für  $V_{DS} = -5$  V (a) knickt der Drain-Source-Strom in die entgegengesetzte Richtung ab. In der Ausgangskennlinie ( $V_{GS} = -40$  V) liegt der Schnittpunkt der Drain-Source-Stromkennlinie nicht bei den zu erwartenden  $V_{DS} = 0$  V, sondern aufgrund des Leckstroms hat sich dieser Nullpunkt zu einer betragsmäßig größeren Drain-Source-Spannung ( $V_{DS} \sim -7$  V) verschoben [62].

Dies verdeutlicht, dass Leckströme mitunter einen sehr großen Einfluss auf die Kennlinien eines Transistors haben. Weiterhin reduzieren Leckströme durch das Dielektrikum die Ausbeute hergestellter Substrate, zum einen aufgrund der veränderten Kennlinien als auch dadurch, dass es zu elektrischen Durchschlägen des Dielektrikums kommt.

Die Größe der Leckströme bzw. den Einfluss auf die Ausbeute lässt sich durch ein dickeres Dielektrikum, wie es entweder durch Spin-Coating oder mehrschichtiges Drucken [21] erreicht wird, minimieren. Abb. 8.2 zeigt, wie die Ausbeute hergestellter Substrate (siehe hierzu Tabelle 8.1 für eine Übersicht der untersuchten Arten von Substraten und Tabelle 8.2 für die Schichtdicke des Dielektrikums auf den untersuchten Substraten) mit der Anzahl der Schichten beim Tiefdruck bzw. der Schichtdicke zunimmt. Für einschichtiges gedruckte Schichten (*DIEL100\_1L*) existieren Bauteile auf einem Substrat, deren Dielektrikum nicht isoliert und Leckströme fließen, die nur noch durch den maximal messbaren Strom der SMU begrenzt sind. Die Anzahl der Bauteile, deren Leckströme kleiner als  $I_G; 1\text{ nA}$  sind, nimmt mit der Anzahl der Schichten zu. Tabelle 8.2 zeigt, dass die Welligkeit der gedruckten Schichten, abzulesen an der Standardabweichung, die mit der Welligkeit korreliert, relativ groß ist. Die Wellenlänge dieser Welligkeit ist, wie z.B. in Abb. 8.3 kleiner als die Größe der Transistorstruktur, wodurch es innerhalb eines Transistors zu unterschiedlichen Schichtdicken des Dielektrikums kommen kann.

Tabelle 8.1: Übersicht der hergestellten Proben. Es wurden die Anzahl gedruckter Schichten als auch die Konzentration des Dielektrikumfluids variiert.

	Konzentration des Druckfluids		
Abscheideprozess	100 %	90 %	80%
einschichtig	<i>DIEL100_1L</i>	<i>DIEL90_1L</i>	<i>DIEL80_1L</i>
zweischichtig	<i>DIEL100_2L</i>	<i>DIEL90_2L</i>	<i>DIEL80_2L</i>
dreischichtig	<i>DIEL100_3L</i>	<i>DIEL90_3L</i>	<i>DIEL80_3L</i>
Spin-Coating	<i>DIEL100_SC</i>	<i>DIEL90_SC</i>	<i>DIEL80_SC</i>

Tabelle 8.2: Mittlere Schichtdicken  $\mu$  und Standardabweichung  $\sigma$  in *nm* der hergestellten Dielektrikumsschichten der Proben zur Untersuchung des Einflusses des Leckstromes auf die Ausbeute.

	Konzentration des Druckfluids					
	100 %		90 %		80%	
Abscheideprozess	$\mu$	$\sigma$	$\mu$	$\sigma$	$\mu$	$\sigma$
einschichtig	828	45	725	37	583	57
zweischichtig	1581	384	1521	284	1260	155
dreischichtig	2093	352	2253	549	2197	752
Spin-Coating	1098	50	878	53	630	30

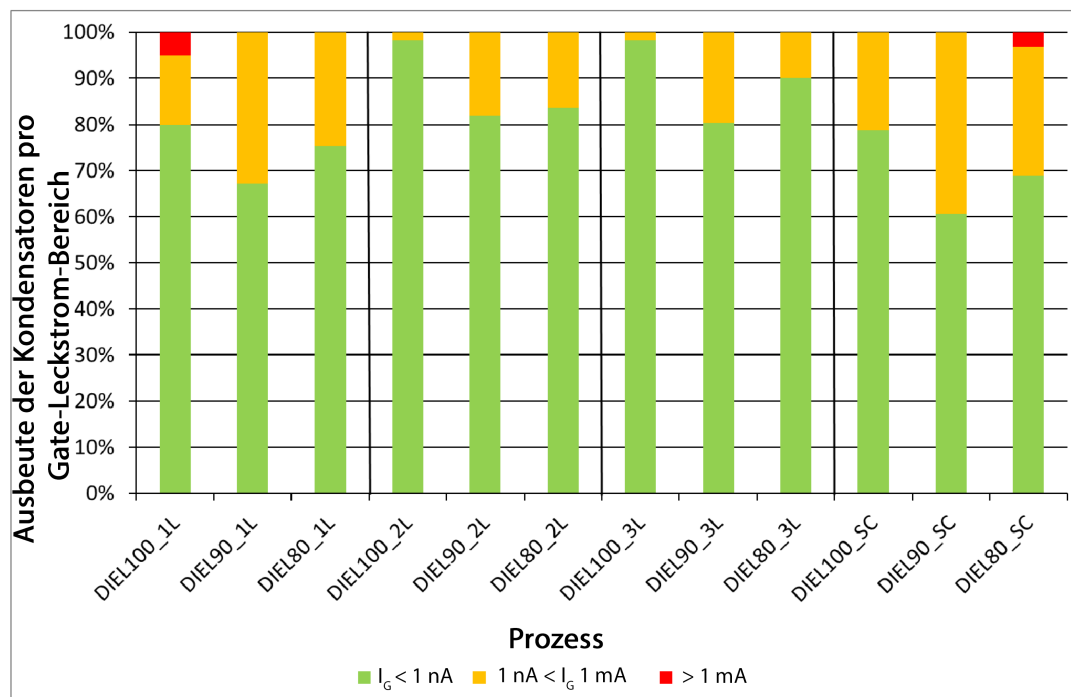


Abbildung 8.2: Ausbeute der in Tabelle 8.1 aufgelisteten Proben. Es fallen aufgrund zu hoher Leckströme weniger Bauteile bei dickeren Dielektrika aus, wie sie - nach Tabelle 8.2 - durch mehrschichtiges Drucken erreicht werden.

Die Topographieaufnahme in Abb. 8.3(a) verdeutlicht, wie für ein Bauteil die Schichtdicken des Dielektrikums innerhalb der Struktur schwanken kann. Es handelt sich um eine Transistorstruktur, wobei im Prozess kein Halbleiter prozessiert wurde und somit ein Kondensator mit drei Elektroden aufgebaut wurde. In diesem Fall ist die Schichtdicke des Dielektrikums über der „Source-Elektrode“ geringer als über der „Drain-Elektrode“. Für diesen Transistor konnte folgende Strombilanz für jede Elektrode ermittelt werden (siehe Abb. 8.3(b)): Aus der „Source-Elektrode“ fließt ein Strom  $I_S = 1,2 \times 10^{-10} \text{ A}$  hinaus, aus der „Drain-Elektrode“ fließt ebenfalls ein Strom  $I_D = 8,5 \times 10^{-11} \text{ A}$  hinaus, in die „Gate-Elektrode“ fließt ein Strom  $I_G = -2,1 \times 10^{-10} \text{ A}$  hinein. Da die Spannungen an der Source- und der Drain-Elektrode für diesen Fall  $V_S = V_D = 0 \text{ V}$  gewählt wurden, kann kein Strom zwischen diesen Elektroden fließen. Da die Schichtdicke über der „Source-Elektrode“ geringer ist als über der „Drain-Elektrode“ ist auch  $I_S > I_D$ . Dadurch lässt sich z.B. auch das elektrische Verhalten des Transistors in Abb. 8.1 erklären: Hier ist die Schichtdicke des Dielektrikums in der Nähe der Drain-Elektrode geringer, sodass ein größerer Leckstrom zwischen der Gate- und Drain-Elektrode fließt, als zwischen der Gate- und der Source-Elektrode.

## 8.2 (Qualitativer) Einfluss der self-assembled monolayers auf die Leckströme durch das Gate-Dielektrikum

Wie in Abschnitt 3.1 beschrieben, wird zur Anpassung der Austrittsarbeit der Source- und Drain-Elektrode ein SAM verwendet. Dadurch wird die Injektion (siehe Kapitel 4) von Ladungsträgern aus der Source-Elektrode in den Halbleiter verbessert (bzw. die Extraktion von Ladungsträgern in die Drain-Elektrode). Diese Ladungsträger tragen zum Drain-Source-Strom aber auch zum Gate-Source-Leckstrom (bzw. Gate-Drain-Leckstrom) bei. Abb. 8.4 zeigt den Vergleich einer typischen Transferkennlinie  $I_{DS}$  vs.  $V_{GS}$  und dem Leckstrom  $I_G$  vs.  $V_{GS}$  eines entsprechend Abschnitt 3.1 aufgebauten p-OTFTs. Der Leckstrom ist bei maximaler Gate-Source-Spannung  $V_{GS}$  zwei Größenordnungen geringer als der Drain-Source-Strom  $I_{DS}$ . Im Anstieg der Transferkennlinie bewegen sich jedoch Drain-Source-Strom und Gate-Strom in der gleichen Größenordnung. Dass das SAM einen Einfluss auf das Verhalten des Leckstromes hat, zeigt Abb. 8.5. Im Falle eines dreischichtigen gedruckten Dielektrikums, bei dem zuvor kein SAM auf den Elektroden appliziert wurde, folgt der Leckstrom einem ohmschen Verhalten (Abb. 8.5(a)). Sobald jedoch die Injektion (und Extraktion) von Ladungsträgern für die Source- und Drain-Elektrode durch Applizierung eines SAMs optimiert wird, ändert sich das Verhalten des Leckstromes hin zu einem nichtlinearen Verlauf (siehe Abb. 8.5(b) im Falle eines Dielektrikums, dass durch Spin-Coating aufgebracht wurde).

## 8.3 Modellstrukturen für die Simulation der Leckströme

Die Gate-Ströme in Abb. 8.5(a) zeigen, dass der Gate-Strom abhängig von der angelegten Drain-Source-Spannung während der Messung der Transferkennlinie ist. Für eine Gate-Source-Spannung  $V_{GS}=0$  V sollte man annehmen können, dass kein Gate-Source-Strom fließt. In Abb. 8.5(a) gilt  $I_{GS}(V_{GS}=-2,5 \text{ V})|_{V_{DS}=-5 \text{ V}}=0$  A, d.h. es fließt kein Gate-Source-Strom bei  $V_{GS}=-2,5$  V, wenn eine Drain-Source-Spannung von  $V_{DS}=-5$  V anliegt. Spaltet man den Gate-Leckstrom in zwei Anteile  $I_{GS}$  und  $I_{GD}$  zu

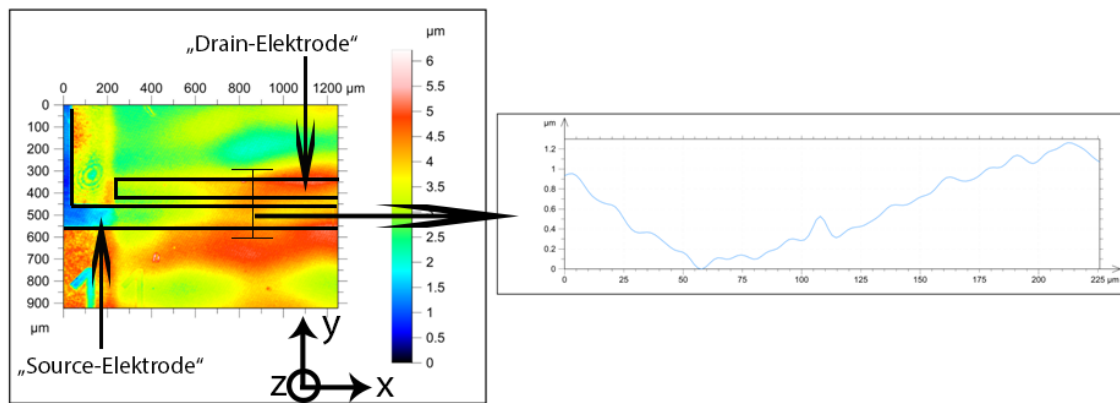
$$I_G = I_{GS} + I_{GD} = 0 \text{ A} \quad (8.1)$$

auf, so muss gelten, dass

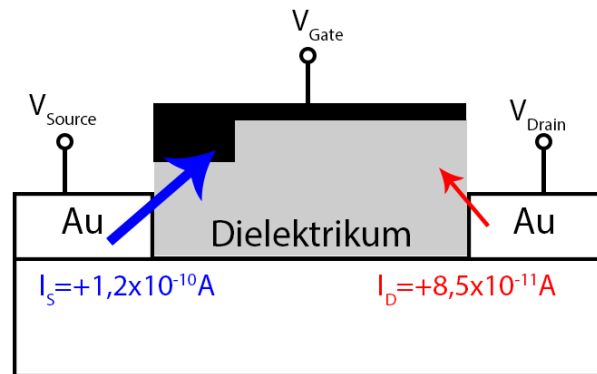
$$I_{GS} = -I_{GD}. \quad (8.2)$$

Da sich sowohl die Source- als auch die Drain-Elektrode in einem gleichen Abstand von der Gate-Elektrode befinden und angenommen wird, dass das Dielektrikum eine homogene Schicht bildet, können die Gate-Source- und Gate-Drain-Ströme  $I_{GS}$  und  $I_{GD}$  bei an-





(a)



(b)

Abbildung 8.3: (a) Topographiaufnahme des untersuchten Bauteils (Transistorstruktur, wobei kein Halbleiter prozessiert wurde und somit ein Kondensator mit den drei Elektroden „Source“, „Drain“ und „Gate“ aufgebaut wurde) und ein Schnitt durch das Topographieprofil zur Verdeutlichung, wie die Schichtdicke des Dielektrikums über den Elektroden schwankt.

(b) Schematische Bauteilstruktur und Darstellung der Strombilanz für die einzelnen Elektroden. Zwischen der „Source-“ und der „Drain-Elektrode“ fließt kein Strom, da  $V_{DS}=0\text{ V}$  und somit alle Ströme durch das unterschiedliche dicke Dielektrikum hin zur „Gate-Elektrode“ fließen.

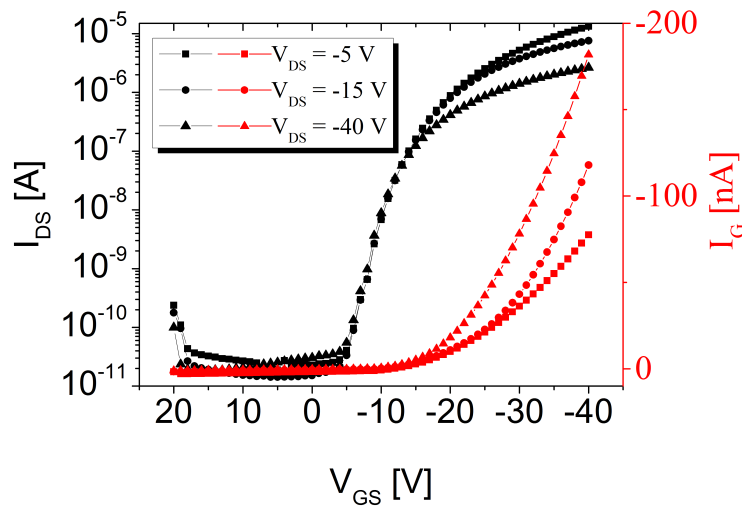


Abbildung 8.4: Vergleich der typischen Größenordnung der Transferkennlinie  $I_{DS}$  vs.  $V_{GS}$  und des Leckstromes während dieser Transferkennlinienmessung  $I_G$  vs.  $V_{GS}$  eines entsprechend Abschnitt 3.1 hergestellten Transistors

liegenden Gate-Source- und Gate-Drain-Spannungen  $V_{GS}$  und  $V_{GD}$  auf elektrische Widerstände  $R_{GS}$  und  $R_{GD}$  zurückgeführt werden. Nach dem Ohmschen Gesetz gilt dann

$$\frac{V_{GS}}{R_{GS}} = -\frac{V_{GD}}{R_{GD}} \quad (8.3)$$

$$V_{GS} = -V_{GD} \quad (8.4)$$

$$V_G - V_S = -(V_G - V_D) \quad (8.5)$$

$$2V_G = V_D + V_S \quad (8.6)$$

$$V_G = \frac{1}{2}V_D + V_S. \quad (8.7)$$

Da die Source-Elektrode an Masse liegt, gilt  $V_S=0$  V und es lassen sich die Gate-Source-Spannungen mit Gleichung 8.7 berechnen, bei denen für eine gewisse Drain-Source-Spannung der Gate-Strom  $I_G=0$  V beträgt. Diese Spannungen sind in Tabelle 8.3 mit den experimentell bestimmten verglichen.

Tabelle 8.3: Ideale, nach Gleichung 8.7 bestimmten, und experimentell bestimmte Gate-Source-Spannungen, für die der Leckstrom  $I_G=0$  A

$V_{DS}$ [V]	$V_{G,ideal}$ [V]	$V_{G,Messung}$ [V]
-5	-2,5	$\sim -2,5$
-15	-7,5	$\sim -7,5$
-40	-20	$\sim -17,5$

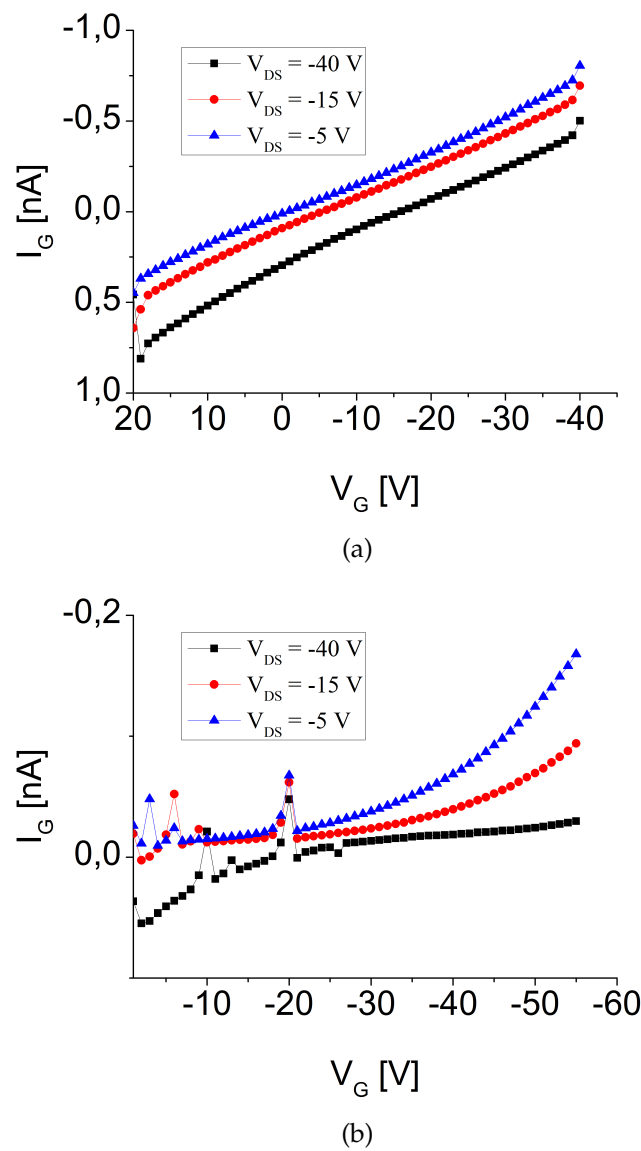


Abbildung 8.5: Vergleich des Leckstromverhaltens einer (a) gedruckten Dielektrikumsschicht ohne Applizierung von SAM auf den Elektroden und (b) einer Dielektrikumsschicht, aufgetragen durch Spin-Coating, mit Applizierung von SAM auf den Elektroden [62].

Da sich das Verhalten des Gate-Stromes auch in Abhängigkeit von der Drain-Source-Spannung durch einen ohmschen Widerstand beschreiben lässt, ist eine Transistor-Modellstruktur in *Sentaurus TCAD* [40] aufgebaut worden, bei der im Gegensatz zu den Transistor-Modellstrukturen in Kapitel 4 das Dielektrikum durch einen Isolator ersetzt wurde. Diesem wurde in der *.par*-Datei für die Simulation mit *Sentaurus Device* eine Leitfähigkeit  $\sigma$  zugeordnet, die im verwendeten Simulationsmodell *ConductiveInsulator* [40] verwendet wurde. Hierfür löst *Sentaurus Device* folgende Gleichungen:

$$\nabla \cdot \sigma_{CI} \nabla \Phi_{CI} = 0 \quad (8.8)$$

$$\vec{J}_M = -q\sigma_{CI} \nabla \Phi_{CI}, \quad (8.9)$$

wobei  $\Phi_{CI}$  das Fermi-Potential im leitenden Isolator,  $\vec{J}_M$  die Stromdichte durch den Isolator und  $\sigma_{CI}$  die Leitfähigkeit des Isolators bezeichnen. Das Modell der Struktur (Abb. 8.6(a)), sowie das Ergebnis der Simulation der Transistor-Modellstruktur mit dem Modell des *ConductiveInsulator* mit einem Widerstand des Dielektrikums von  $\frac{1}{\sigma_{CI}} = 10^{14} \Omega$  (Abb. 8.6(b)) sind in Abb. 8.6 dargestellt. Es ist klar zu erkennen, dass der simulierte Löcherstrom ebenso wie der experimentell bestimmte (für den Fall, dass kein SAM appliziert wurde) einem ohmschen Verhalten folgt.

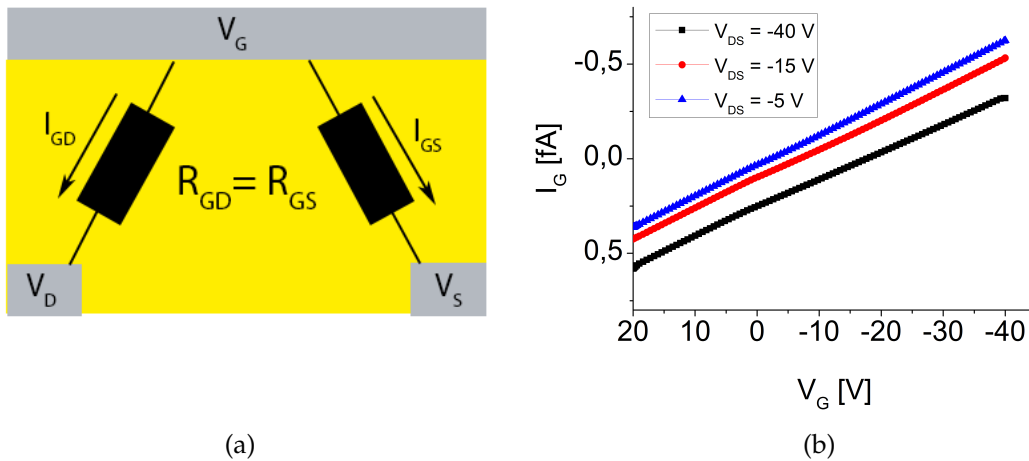
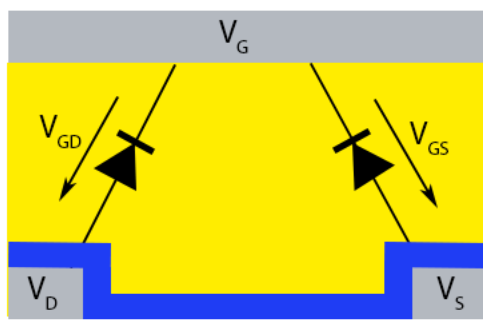


Abbildung 8.6: (a) Schematische Modellstruktur für das Dielektrikum mit ohmschen Verhalten (b) Vergleich der typischen Größenordnung der Transferkennlinie  $I_{DS}$  vs.  $V_{GS}$  und des Leckstromes während dieser Transferkennlinienmessung  $I_{GS}$  vs.  $V_{GS}$  eines entsprechend Abschnitt 3.1 hergestellten Transistors [62].

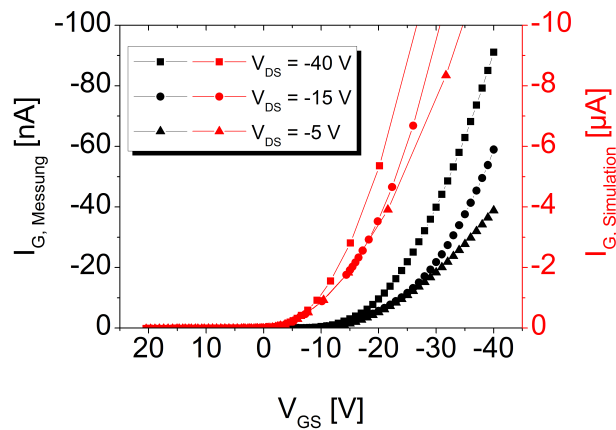
Weiterhin gilt auch hier, dass kein Gate-Strom fließt, wenn z.B. für  $V_{DS} = -40$  V,  $V_{GS} \sim -17,5$  V. Wie im experimentellen Fall weicht dieser Wert der Gate-Source-Spannung, für die kein Gate-Strom fließt, von dem durch Gleichung 8.7 bestimmten, ab. Dies zeigt, dass Gleichung 8.7 nicht alle Effekte vollständig beschreiben kann. Generell ist der simulierte Gate-Leckstrom mehrere Größenordnungen geringer als der experimentell bestimmte. Um die Simulation mit der Messung zu validieren, ist der Simulationsparameter des elektrischen Widerstandes des Dielektrikums erhöht worden, jedoch konvergiert die Simulation nicht mehr für Widerstände  $\frac{1}{\sigma_{CI}} < 10^{14} \Omega$ . Auch eine Verringerung der Schichtdicke des Dielektrikums führte nicht dazu, dass die Simulation konvergiert und

sich der simulierte Gate-Leckstrom dem experimentellen annähert. Auffallend ist, dass die Simulationen nicht konvergieren, wenn der Gate-Strom in derselben Größenordnung wie der off-Stromes in der Transferkennlinie liegt. Das Modell des *ConductiveInsulator* scheint für diese Fälle nicht geeignet zu sein.

Aus diesem Grund ist das Dielektrikum mit dem Modell des *ConductiveInsulator* durch einen Halbleiter ersetzt worden, dessen Leitfähigkeit mehrere Größenordnungen geringer eingestellt wurde, als die des Halbleiters für den eigentlichen Drain-Source-Stromtransport. Abb. 8.7(a) zeigt das Modell der Struktur für die Simulation eines „halb-leitenden“ Dielektrikums und Abb. 8.7(b) einen Vergleich des experimentell bestimmten und durch Simulation erhaltenen Gate-Leckstromes. Im Gegensatz zum Modell des *ConductiveInsulator* wird das Dielektrikum nun nicht mehr durch einen linearen ohmschen Widerstand, sondern durch einen nicht-linearen Widerstand - einer Diode - modelliert. Der simulierte Gate-Leckstrom steigt für betragsmäßig größer werdende Gate-Source-Spannungen ebenso wie der experimentell bestimmte nicht-linear an. Für die Kurve mit  $V_{DS} = -5V$  ist die Diode zwischen der Gate- und der Drain-Elektrode in Abb. 8.7(a) negativ gespannt mit  $V_{GD} = V_G - V_D = -55V - (-5V) = -50V$ , wodurch der größte Löcherstrom durch das Dielektrikum fließt. Der simulierte Gate-Leckstrom ist etwa zwei Größenordnung kleiner als der experimentelle. Dies liegt vor allem daran, dass sich die  $\frac{W}{L}$ -Verhältnisse des realen und des simulierten Transistors unterscheiden. Die Transistor-Modellstruktur für die Simulation ist mit einem Verhältnis von  $\frac{W}{L} = \frac{1\mu m}{5\mu m} = 0,2$  aufgebaut worden, das Verhältnis des realen Transistors liegt bei  $\frac{W}{L} = 200$ , ist also drei Größenordnungen höher. Bezieht man diesen Unterschied in der Skalierung der Ströme mit ein, unterscheiden sich Simulation und Experiment immer noch um eine Größenordnung. Diese Restdifferenz ist dann nur noch auf den Parameter für die (halb)leitenden Eigenschaften des als Dielektrikum benutzten Halbleiters zurückzuführen.



(a)



(b)

Abbildung 8.7: (a) Schematische Modellstruktur für das Dielektrikum mit nichtlinearem Verhalten (Diode)

(b) Vergleich des experimentellen und simulierten Gate-Leckstromes während einer Transferkennlinie  $I_{DS}$  vs.  $V_{GS}$  [62].

## 8.4 Zusammenfassung

In diesem Kapitel wurden die Ursachen der Leckströme zwischen der Gate- und der Drain- bzw. Source-Elektrode untersucht, da diese die Ausgangs- und Transferkennlinien eines Transistors degradieren können. Schichtinhomogenitäten in Form von unterschiedlich dicken Dielektrikumsschichten in der Nähe der Source- und der Drain-Elektrode führen zu unterschiedlich großen Leckströmen zwischen diesen Elektroden und der Gate-Elektrode. Sind diese Schichtdicken zu dünn, isoliert das Dielektrikum nicht und es kann zu elektrischen Durchschlägen kommen, die das Bauteil zerstören. Je dicker das Dielektrikum ist (entweder durch Spin-Coating oder mehrschichtiges Drucken), desto größer ist die Ausbeute gefertigter Bauteile und die Leckströme sinken. Die Modellierung der Transistor-Bauteilstruktur in *Sentaurus TCAD* lässt Untersuchungen des Einflusses des SAMs auf das Verhalten der Leckströme zu. Für den Fall, dass kein SAM zur optimierten Injektion von Ladungsträgern aus der Source-Elektrode in den Transistorkanal appliziert wurde, lässt sich das Dielektrikum als ohmschen Widerstand modellieren und sowohl die Simulation als auch die Messung zeigen ein lineares ohmsches Verhalten der Leckströme. Konvergenzprobleme der Simulation lassen leider keine Anpassung der Simulationsparameter zu, die zu einer Deckung der Simulation mit dem Experiment führen könnten. Ist SAM auf die Elektroden appliziert worden, lässt sich das Dielektrikum als schlecht leitender Halbleiter modellieren, sodass Simulation wie auch Messung ein nichtlineares Verhalten des Leckstromes aufzeigen. Die dadurch entwickelten Transistor-Modellstrukturen erlauben im weiteren simulationstechnische Untersuchungen der Morphologie z.B. gedruckter Dielektrika und wie diese die Leckströme und somit das elektrische Bauteilverhalten beeinflussen.

# Kapitel 9

## Parameterfluktuation und Monte-Carlo-Schaltungssimulation

### Inhalt

---

<b>9.1 Funktionalität . . . . .</b>	<b>102</b>
9.1.1 Einfluss der Transistorkanalweite $W$ . . . . .	102
9.1.2 Einfluss der Transistorkanallänge $L$ . . . . .	102
<b>9.2 Parameterfluktuation und Monte-Carlo-Schaltungssimulation . . . . .</b>	<b>104</b>
9.2.1 Analyse der statistischen Verteilung der elektrischen Parameter der Transistoren . . . . .	104
9.2.2 Inverter Simulation . . . . .	105
<b>9.3 Zusammenfassung . . . . .</b>	<b>119</b>

---

Das Verhalten einer aus OTFTs aufgebauten Schaltung hängt von verschiedenen Parametern der verwendeten Transistoren ab. Ein wichtiger Aspekt beim Schaltungsentwurf ist die Ausbeute bei der Herstellung, d.h. wie viele hergestellte Transistoren Strom-Spannungs-Charakteristika wie in Abb. 3.5 zeigen (und damit als „funktionierend“ deklariert wurden) und deren extrahierte Parameter sich innerhalb festgelegter Bereiche befinden. Hierzu wurde im folgenden untersucht, wie die Mobilität  $\mu$  der OTFTs und die Schwellspannung  $V_T$  von der Position des Transistors auf dem Substrat abhängen und wie diese Parameter innerhalb eines Herstellungsprozesses sowie zwischen Herstellungsprozessen schwankten. Nur mit diesem Wissen ist ein zuverlässigeres Schaltungsdesign möglich. Denn nicht nur die Beschreibung der Strom-Spannung-Kennlinien eines Transistors, sondern auch wie die elektrischen Parameter des Bauteils innerhalb eines Prozesses variieren, muss hierfür berücksichtigt wurden. In diesem Abschnitt wird eine Methode vorgestellt, die die Fluktuation elektrischer Parameter eines Transistors, der auf Basis eines n-Halbleiters prozessiert wurde, und das Verhalten einer Schaltung, die aus diesen charakterisierten Transistoren aufgebaut ist, analysiert.

## 9.1 Funktionalität

Für die Untersuchung der Qualität der Herstellungsprozesse wurden vier Substrate mit n-Halbleiter, der mittels Spin-Coating prozessiert wurde, und drei Substrate mit p-Halbleiter, der mittels Flexodruck prozessiert wurde, hergestellt (siehe Abschnitt 3.1). Diese wurden zwecks Extraktion der Parameter  $\mu$  und  $V_T$  massencharakterisiert (siehe Abschnitt 3.2 und 3.4). Für die Extraktion wurde das MOS-Modell gewählt, um einen schnellen Überblick über die Funktionalität zu erhalten. Als funktionierend gilt ein Transistor dessen Mobilität  $\mu > 10^{-2} \frac{\text{cm}^2}{\text{Vs}}$  beträgt.

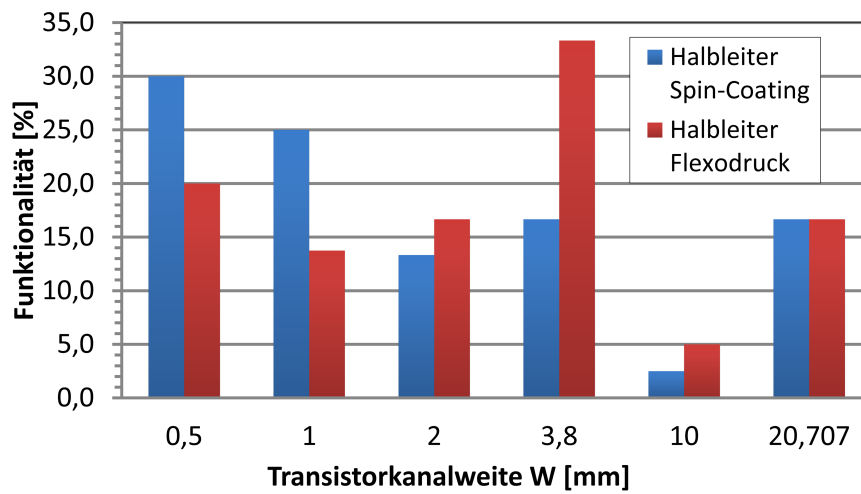
### 9.1.1 Einfluss der Transistorkanalweite W

Die Abhängigkeit der Funktionalität der Transistoren vom geometrischen Faktor Transistorkanalweite W ist in Abb. 9.1(a) gezeigt. Für rechteckige interdigitale Transistoren (siehe Tabelle 3.1), deren Halbleiter durch Spin-Coating abgeschieden wurde, nimmt die Funktionalität mit zunehmender Transistorkanalweite bis  $W=10 \text{ mm}$  ab, um dann für die runden interdigitalen Transistoren (siehe Tabelle 3.1) mit  $W=20,707 \text{ mm}$  wieder anzusteigen. Bei den Transistoren mit gedrucktem Halbleiter bilden die runden Transistoren mit  $W=3,8 \text{ mm}$  und  $W=20,707 \text{ mm}$  eine Ausnahme: Hier steigt die Funktionalität verglichen mit den rechteckigen Transistoren an, wobei hier auch die Tendenz besteht, dass weniger Transistoren mit größerer Kanalweite funktionieren. Dies lässt sich dadurch erklären, dass eine gewisse Defektwahrscheinlichkeit pro Fläche existiert. Die Fläche der Transistoren nimmt mit der Kanalweite W zu, sodass die Wahrscheinlichkeit für einen Defekt auch zunimmt. Ausnahmen bilden hier die runden Transistoren. Zunehmende Kanalweite W bedeutet hier nicht automatisch eine größere Fläche verglichen mit rechteckigen Transistoren.

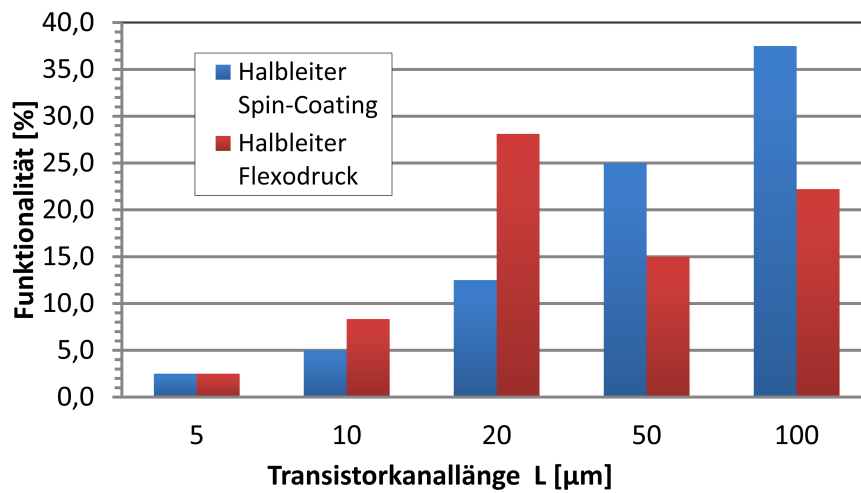
### 9.1.2 Einfluss der Transistorkanallänge L

Die Abhängigkeit der Funktionalität von der Kanallänge L ist in Abb. 9.1(b) gezeigt. Hier ist klar zu erkennen, dass umso mehr Transistoren funktionieren, je größer die Kanallänge ist. Ein Grund hierfür liegt in den Kontaktwiderständen an Drain und insbesondere an Source (siehe Kapitel 4). Für kleine Kanallängen L bewegt sich der Kanalwiderstand in derselben Größenordnung wie der Kontaktwiderstand, sodass letzterer nicht vernachlässigbar ist. Dadurch kommt es zu einer zu gering extrahierten Mobilität, die entsprechend Abschnitt 3.4 aus einem Punkt der Strom-Spannungs-Kennlinie extrahiert worden ist. Ist der Kontaktwiderstand in etwa so groß wie der Kanalwiderstand, fällt über diesen eine Spannung ab, die für den Stromtransport nicht mehr zur Verfügung steht. Fälschlicherweise wird dann aus dem zu niedrigen Strom eine geringere Mobilität extrahiert (siehe Kapitel 4, Abb. 4.9(b)+(c)). Ein weiterer Grund in der geringeren Funktionalität für kleine Transistorkanallängen L liegt in der Auflösung des Herstellungsprozesses. Für die Schichtbildung scheinen Strukturgrößen im Bereich von  $5\text{--}20 \text{ }\mu\text{m}$  zu klein zu sein, um eine homogene Schichtausbildung zu garantieren, was zu Ausfällen der Transistoren führt.





(a)



(b)

Abbildung 9.1: (a) Abhängigkeit der Funktionalität von der Transistorkanalweite  $W$  und (b) von der Transistorkanallänge  $L$

## 9.2 Parameterfluktuation und Monte-Carlo-Schaltungssimulation

Für die Simulation einzelner Transistoren als auch daraus aufgebauter Schaltungen muss das Modell, das der Schaltungssimulation zugrunde liegt, neben den Strom-Spannungs-Charakteristika auch Information darüber enthalten, wie die elektrischen Parameter der Bauteile, wie Mobilität und Schwellspannung, variieren - sei es zwischen Prozessläufen (inter-die) oder auf dem Substrat selbst (intra-die), systematisch oder aufgrund zufälliger Variationen. Aus diesem Grund wird hier eine Methode vorgestellt, die es erlaubt, das Verhalten von Schaltungen dadurch vorherzusagen, dass die Fluktuation der Modellparameter analysiert und berücksichtigt worden ist. Basis dieser Analyse sind zum einen eine Massencharakterisierung der Transistoren (siehe Abschnitt 3.2 und 3.3), die durch Spin-Coating des n-Halbleiters und des Dielektrikums hergestellt wurden (siehe Abschnitt 3.1), und zum anderen eine Monte-Carlo-Schaltungssimulation. Diese ist genutzt worden um zu untersuchen, wie individuelle Variationen eines Bauteils eine Schaltung beeinflussen. Es wird im folgenden auf statische (Noise Margin, siehe Gleichung 9.5) und transiente (Delay Time, siehe Gleichung 9.20) Charakteristika eingegangen. Hierdurch wurden die Parameterfenster individueller Bauteile gefunden, die aus Transistoren aufgebaut sind und ein gutes Schaltungsverhalten aufweisen. Z.B. wurde ein Parameterfenster für einen Inverter definiert, sodass dieser innerhalb einer vorher bestimmten Noise Margin arbeitet. Dadurch lassen sich kritische Parameter der verwendeten Transistoren ermitteln, die hauptsächlich das statische bzw. transiente Verhalten eines Inverters beeinflussen. Durch dieses Wissen lässt sich zum einen der Herstellungsprozess der Transistoren verbessern, zum anderen auch eine robuste Schaltung entwerfen, die weniger anfällig auf die Variation dieser kritischer Parameter ist. Die Massencharakterisierung nebst dieser Methode der Monte-Carlo-Schaltungssimulation erlaubt einen robusten Schaltungsentwurf trotz relativ großer Prozessschwankungen.

### 9.2.1 Analyse der statistischen Verteilung der elektrischen Parameter der Transistoren

Die Basis für diese Methode bildet die Charakterisierung der Transistoren und die Extraktion der Parameter des VRH-Modells (Mobilität  $\mu$ , Schwellspannung  $V_T$ , Faktor  $\gamma$  der feldabhängigen Mobilität und Kanallängenmodulationsfaktor  $\lambda$ , siehe Abschnitt 3.4). Für jeden Parameter ist eine entsprechende Verteilung gewählt worden, die die statistische Schwankung beschreibt. Die Verteilungen der einzelnen elektrischen Modellparameter sind wie folgt gewählt worden:

- Die Mobilität  $\mu$  wurde mittels einer Logarithmischen Normal-Verteilung

$$f(\mu) = \frac{1}{\sqrt{2\pi}\sigma_\mu\mu} \exp\left(-\frac{(\ln(\mu) - \bar{\mu}_\mu)^2}{2\sigma_\mu^2}\right) \quad (9.1)$$

gefittet, wobei  $\bar{\mu}_\mu$  der Erwartungswert und  $\sigma_\mu$  die Standardabweichung bezeichnen.

- Die Schwellspannung  $V_T$  wurde mit einer Normalverteilung gefittet, wobei hier  $\mu_{V_T}$  und  $\sigma_{V_T}$  den Erwartungswert und die Standardabweichung bezeichnen

$$f(V_T) = \frac{1}{\sqrt{2\pi}\sigma_{V_T}} \exp\left(-\frac{(V_T - \mu_{V_T})^2}{2\sigma_{V_T}^2}\right) \quad (9.2)$$

- Der Parameter  $\gamma$  für die Feldabhängigkeit war gleichverteilt mit der Ober- bzw. Untergrenze  $\gamma_{max}$  und  $\gamma_{min}$ :

$$f(\gamma) = \frac{1}{\gamma_{max} - \gamma_{min}} \quad (9.3)$$

- Der Faktor  $\lambda$  der Kanallängenmodulation war Logarithmisch normalverteilt mit dem Erwartungswert  $\bar{\mu}_\lambda$  und der Standardabweichung  $\sigma_\lambda$ :

$$f(\lambda) = \frac{1}{\sqrt{2\pi}\sigma_\lambda\lambda} \exp\left(-\frac{(\ln(\lambda) - \bar{\mu}_\lambda)^2}{2\sigma_\lambda^2}\right) \quad (9.4)$$

Tabelle 9.1: Erwartungswerte und Standardabweichung der Variable-Range-Hopping Parameter entsprechend ihrer Verteilungen (Gleichungen 9.1- 9.4)

VRH Parameter	Erwartungswert	Standardabweichung
Mobilität $\mu \left[\frac{10^{-3}cm^2}{Vs}\right]$	1,9	0,46
Schwellspannung $V_T$ [V]	22,11	4,56
Gate-Spannungsabhängigkeit $\gamma$	0,25	0,25
Kanallängenmodulationsfaktor $\lambda$ [ $10^{-4}$ ]	2,71	1,63

Für ein Substrat mit OFTFs auf n-Halbleiterbasis sind die Parameter der Verteilungen in Tabelle 9.1 dargestellt. Diese statistischen Verteilungen (Gleichungen 9.1-9.4) wurden im *Cadence ICFB verilog-A* Modul für die Betrachtungen in den folgenden Abschnitten modelliert [105]. Diese *Cadence* Schnittstelle erlaubt Monte-Carlo-Simulationen von Schaltungen, wobei hier zwar für jeden Transistor die gleiche Verteilung der elektrischen Parameter hinterlegt ist, jedoch pro Simulation jedem Transistor ein anderer Wert zufällig aus der Verteilung zugewiesen wurde.

## 9.2.2 Inverter Simulation

Aus der Simulation der Transferkennlinie eines Inverter (Abb. 9.3(a)) wurden obere und untere Noise Margin  $NM_H$  und  $NM_L$  aus den Pegeln des Inverters bestimmt, wobei  $V_{IL}$  und  $V_{IH}$  die Eingangsspannungen bezeichnen, bei denen die Steigung der Ausgangsspannung -1 ist, sowie  $V_{OL}$  und  $V_{OH}$  die HIGH- und LOW- Ausgangsspannungen (siehe Abb. 9.3(b)):

$$NM_H = V_{OH} - V_{IH} \quad (9.5)$$

$$NM_L = V_{IL} - V_{OL} \quad (9.6)$$

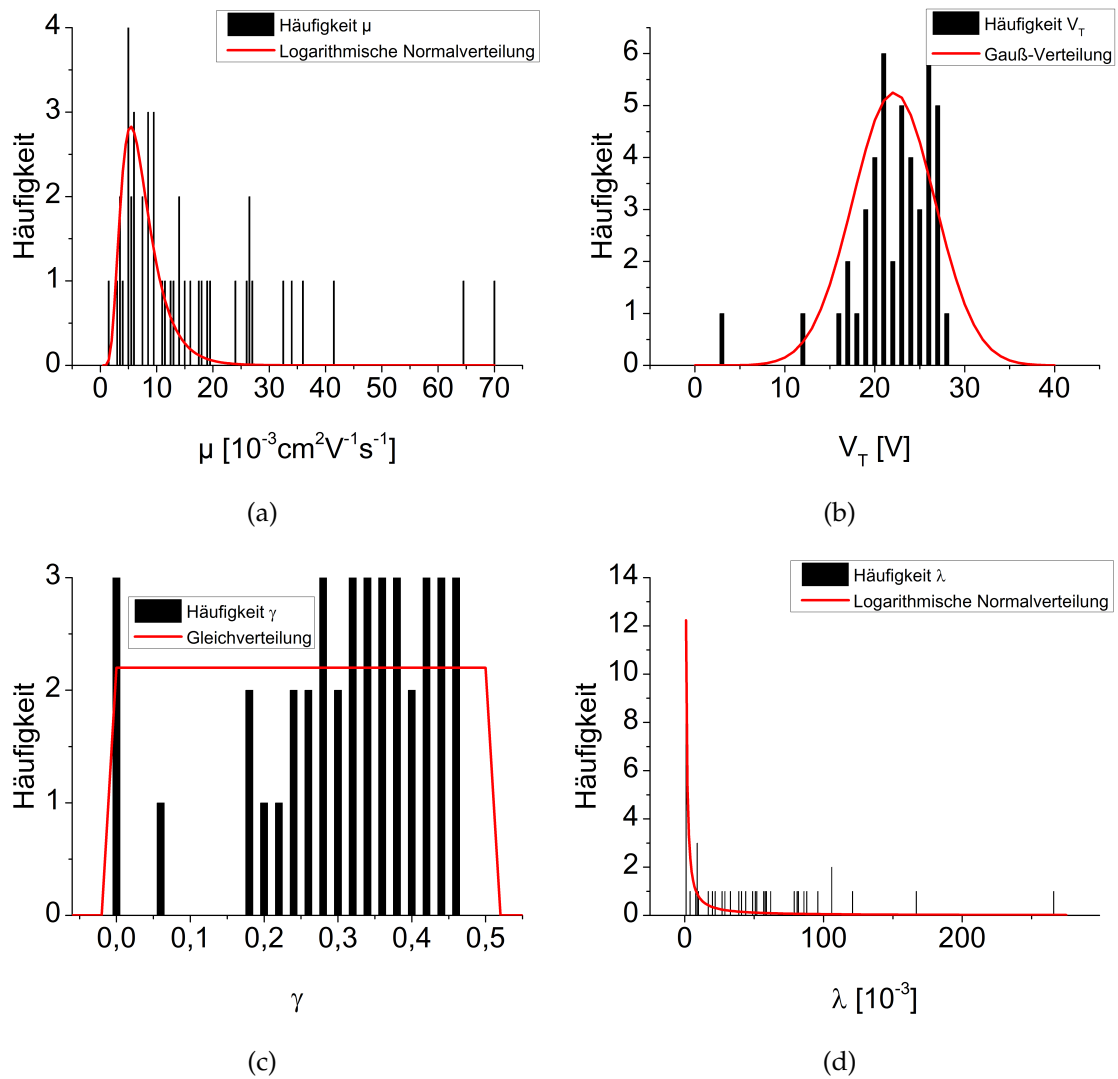


Abbildung 9.2: Häufigkeitsverteilungen und Ausgleichskurven der elektrischen Modellparameter (a) Mobilität  $\mu$ , (b) Schwellspannung  $V_T$ , (c) Feldabhängigkeit  $\gamma$  und (d) Kanallängenmodulationsfaktor  $\lambda$ , bestimmt an Transistoren auf n-Halbleiterbasis [61].

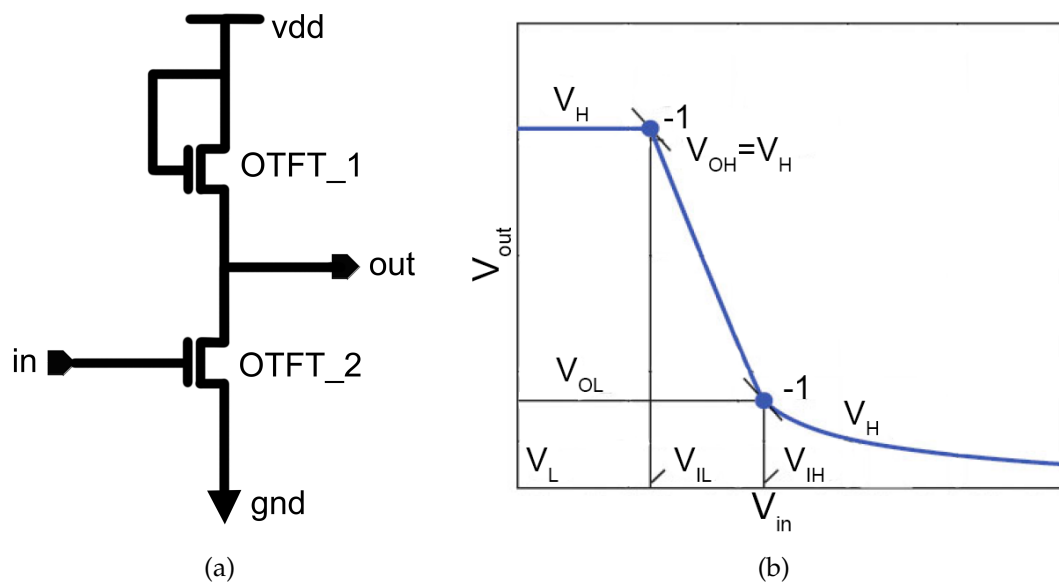


Abbildung 9.3: a) Schemazeichnung zweier Transistoren, die zu einem Inverter verschaltet wurden. Der obere Transistor  $OTFT_1$  fungiert als Diodenlast, indem die Gate- mit der Source-Elektrode verbunden ist. Die Transistorkanalweiten und -längen wurden konstant gehalten:  $\frac{W_1}{L_1} = 200$  für  $OTFT_1$  und  $\frac{W_2}{L_2} = 1000$  für  $OTFT_2$  [61]

b) Spannungspegel bei der Transferkennlinie eines Inverters.  $V_{IL}$  und  $V_{IH}$  bezeichnen die Eingangsspannungen, bei denen die Steigung der Ausgangsspannung  $-1$  ist, sowie  $V_{OL}$  und  $V_{OH}$  die entsprechenden HIGH- und LOW- Ausgangspegel [61].

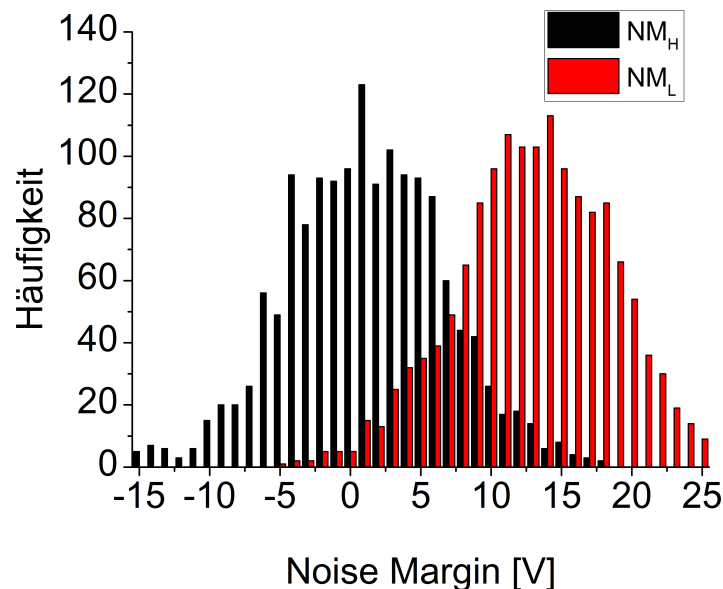


Abbildung 9.4: Noise Margin Histogramm als Ergebnis nach 1500 Simulationen. Die obere und untere Noise Margin sind mit  $NM_H$  und  $NM_L$  bezeichnet. Es ist noch kein Filter für die Noise Margin angewandt worden [61].

Für den im vorliegenden Fall behandelten Inverter (aus OTFT auf n-Halbleiterbasis) ist  $V_{OH}$  nahezu gleich mit dem HIGH-Level und deswegen annähernd  $V_{DD} - V_{TN1}$ , wobei hier  $V_{DD}$  die Versorgungsspannung und  $V_{TN1}$  die Schwellspannung des Lasttransistors  $OTFT_1$  bezeichnen. Die Anzahl maximaler Simulationen im Monte-Carlo-Modul von *Cadence ICFB* ist auf 1500 beschränkt. In jeder dieser Simulationen wurde den Transistoren  $OTFT_1$  und  $OTFT_2$  zufällig ein Wert aus der statistischen Verteilung (Gleichungen 9.1-9.4) der Parameter  $\mu$ ,  $V_T$ ,  $\gamma$  und  $\lambda$  zugewiesen. In *Cadence ICFB* steht ein Kalkulator zur Verfügung, der automatisch vordefinierte Funktionen anwendet, wobei durch Kombination dieser eigene Ausdrücke programmiert werden können. Somit ließen sich aus den 1500 simulierten Transferkennlinien des Inverters die für die Noise Margin notwendigen Spannungen (siehe Gleichung 9.5) extrahieren und zur weiteren Datenverarbeitung nebst Ausgangsspannungen und gewählter Modellparameter in einer Datei speichern. Nach 1500 Simulationen und Extraktion der Spannungen  $V_{OH}$ ,  $V_{IH}$ ,  $V_{IL}$  und  $V_{OL}$  erhielt man eine Häufigkeitsverteilung der Noise Margin  $NM_H$  und  $NM_L$ , wie sie in Abb. 9.4 dargestellt ist. Um einerseits für die folgenden statistischen Betrachtungen eine ausreichende Anzahl Transistoren zur Verfügung zu haben und andererseits ein Verhalten des Inverters zu gewährleisten, das für die Anwendung in Schaltungen brauchbar ist, sind als Kompromiss eine Noise Margin von 8V für  $NM_L$  und 16V für  $NM_H$  gewählt worden und Transistoren, deren Noise Margin in diesem Bereich liegen, wurden als „gut“, d.h. funktionierend, deklariert. Die Wahl dieser Noise Margin ist im vorliegenden Fall willkürlich gewählt worden und muss für die Verwendung der Inverter in Applikationen entsprechend der Anforderungen angepasst werden. Somit dient die Noise Margin als Randbedingung („process corner“) für den verwendeten Prozess. Aus diesen Randbedingungen gilt es nun, die elektrischen Parameter der einzelnen Transistoren  $OTFT_1$  und  $OTFT_2$  zu extrahieren, d.h. das Parameterfenster zu bestimmen, das zu einem Inverter mit der oben definierten Noise Margin führt.

### 9.2.2.1 Bestimmung der Parameterfenster aus der Transferkennliniensimulation des Inverters

Eine erste einfache Methode, das Parameterfenster der Randbedingung Noise Margin zu bestimmen, ist, das Minimum und Maximum jedes Parameters  $\mu$ ,  $V_T$ ,  $\gamma$  und  $\lambda$  zu bestimmen, für die die Noise Margin des Inverters im vordefinierten Bereich liegt. Mit den hieraus bestimmten Parameterfenstern wurden erneut 1500 Monte-Carlo-Simulationen der Transferkennlinie eines Inverters durchgeführt. Zu erwarten wäre, dass die Noise Margin der simulierten Inverter nun zwischen 8 V und 16 V liegen. Jedoch zeigt sich, dass trotzdem einige Noise Margins außerhalb dieses Bereichs liegen, da das Minimum und Maximum eines Parameters als Bedingung nicht ausreichen, wenn mehr als ein Transistor in der Schaltung verwendet wird. Aus diesem Grund wurde die Methode der „Quartile“ verwendet, um aus der gefilterten Noise Margin die Parameterfenster zu extrahieren. Um eine Noise Margin zwischen 8 V und 16 V zu erhalten, kann ein Parameter mehrere Werte annehmen. Hierfür kann eine Verteilung der Werte aufgestellt werden, die dieser Parameter annehmen kann. Die untere und obere Quartile  $Q_{25}$  und  $Q_{75}$  der Verteilung wurden nun als Grenzen für die Parameter verwendet. Nun liegen nach 1500 Simulationen und unter Verwendung der Quartilen als neue Grenzen nur noch 5% der Noise Margin der simulierten Inverter außerhalb des vordefinierten Bereichs. Abb. 9.5(a) zeigt die Vertei-

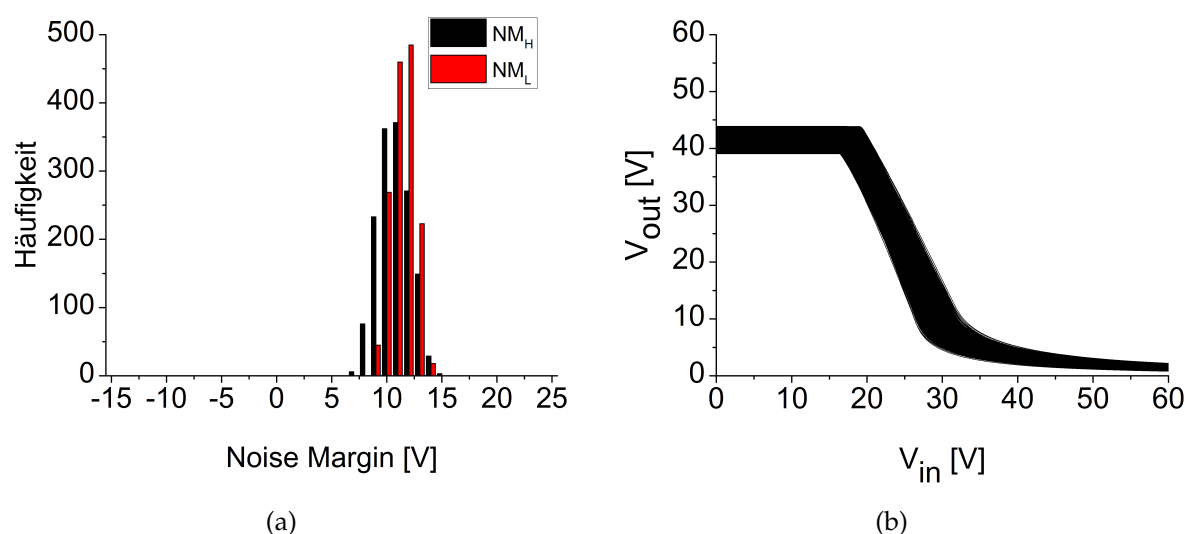
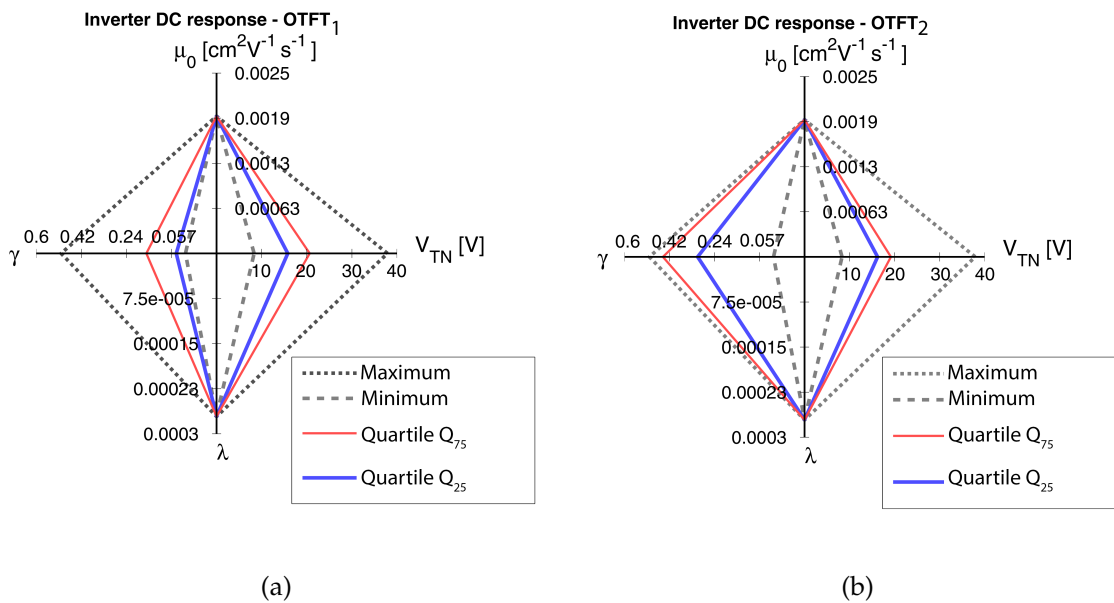


Abbildung 9.5: a) Noise Margin Histogramm nach Anwendung des Filters, wonach die Noise Margin zwischen 8 V und 16 V liegen muss (und erneuter Simulation von  $N = 1500$  Invertern mit nun gefiltertem Parametersatz). b) Transferkennlinien von  $N = 1500$  simulierten Invertern nach Filtern der Noise Margin mit der Quartile-Methode zur Extraktion der Parameterfenster für jeden Transistor  $OTFT_1$  und  $OTFT_2$  [61].

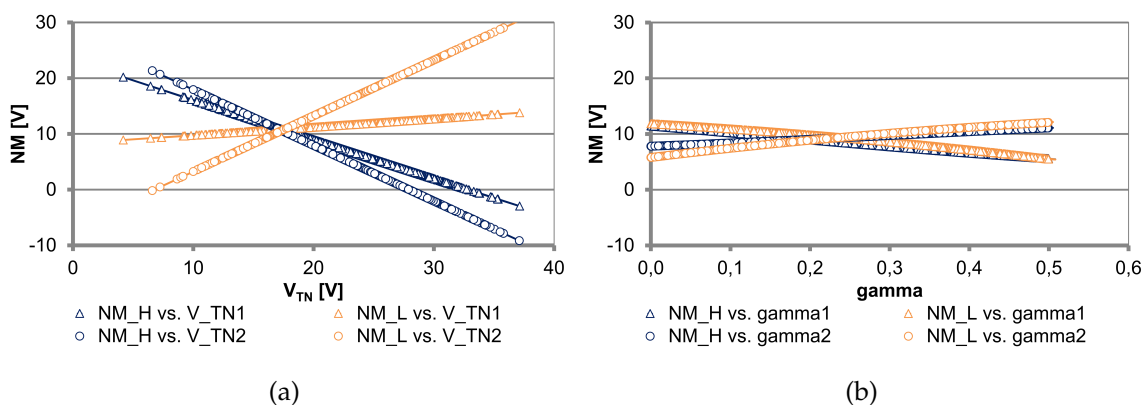
lung der Noise Margin und Abb. 9.5(b) die simulierten Transferkennlinien der Inverter nach Anwendung des Quartile-Filters. Aus der gefilterten Noise Margin sind sowohl die mit der Minimum- und Maximum-Methode, als auch die mit der Quartile-Methode extrahierten Parameterfenster in Abb. 9.6(a) und 9.6(b) für  $OTFT_1$  und  $OTFT_2$  gezeigt.

**Kritische Transistorparameter** Im folgenden werden die kritischen Transistorparameter identifiziert, deren Einfluss auf die Noise Margin am größten sind. Hierzu wurde ein Parameter innerhalb seiner statistischen Verteilung variiert, wobei die anderen vier Parameter in der Mitte ihres erlaubten Bereichs gehalten wurden. Dies geschah unter der Annahme, dass alle vier Parameter unabhängig voneinander sind. Der Einfluss des variierenden Parameters wird mit Monte-Carlo-Simulationen untersucht. Dieser Prozess wurde viermal, d.h. für jeden Parameter einmal, wiederholt, wodurch der Einfluss jedes Parameters auf das Schaltungsverhalten (in diesem Fall Noise Margin) erhalten wurde und die kritischen Parameter während Prozessschwankungen identifiziert werden konnten. Der Einfluss der Schwellspannungen  $V_{TN1}$  und  $V_{TN2}$  auf die Noise Margin ist in Abb. 9.7(a) dargestellt:  $NM_H$  nimmt für zunehmendes  $V_{TN2}$  ab (blaue Kurve mit Kreisen), wohingegen  $NM_L$  für zunehmendes  $V_{TN2}$  zunimmt (orangene Kurve mit Kreisen). Weiterhin nimmt  $NM_H$  für zunehmendes  $V_{TN1}$  ab (blaue Kurven mit Dreiecken), auf  $NM_L$  hat  $V_{TN1}$  einen vernachlässigbaren Einfluss (orangene Kurve mit Dreiecken). Zusätzlich ist in Abb. 9.7(b) der Einfluss von  $\gamma$  auf die Noise Margin dargestellt. Im Vergleich zu den Schwellspannungen hat  $\gamma$  keinen so großen Einfluss auf die Noise Margin. Jedoch ist festzuhalten, dass ein größer werdendes  $\gamma_1$  eine leicht verringerte Noise Margin bewirkt (blaue und orangene Kurven mit Dreiecken).  $\gamma_2$  hat einen gegenteiligen Einfluss (blaue und orangene Kurven mit Kreisen). Aus diesem Grund überdecken sich die Parameter-



Abbildungung 9.6: Parameterfenster für gefilterte Noise Margin zwischen 8 V und 16 V für OTFT<sub>1</sub> (a) und OTFT<sub>2</sub> (b). Wird ein OTFT gewählt, dessen Parameter des Variable-Range-Hopping Modells zwischen  $Q_{25}$  und  $Q_{75}$  liegen, liegt die Noise Margin eines daraus aufgebauten Inverters zwischen 8 V und 16 V [61].

fenster für  $\gamma_1$  und  $\gamma_2$  nicht, da der erste Parameter klein sein muss, wohingegen der zweite groß sein muss, um eine große Noise Margin zu erreichen. Alle anderen Parameter haben einen vernachlässigbaren Einfluss auf die Noise Margin und sind hier deshalb nicht dargestellt.



Abbildungung 9.7: a) Abhängigkeit der Noise Margin von  $V_{TN}$ . Der Einfluss von  $V_{TN,1}$  auf  $NM_L$  ist vernachlässigbar, die andere Noise Margin ist jedoch stark abhängig von  $V_{TN,1}$  und  $V_{TN,2}$ :  $V_{TN}$  ist ein kritischer Parameter, der beim Design von Invertern zu beachten ist.

b) Abhängigkeit der Noise Margin von  $\gamma$ : Ein schwacher Einfluss von  $\gamma$  ist zu erkennen, wobei dieser für  $\gamma_1$  und  $\gamma_2$  gegenläufig ist [61].



### 9.2.2.2 Überlappung des Parameterfensters

Wie Abb. 9.6 zu entnehmen ist, bestehen für  $OTFT_1$  und  $OTFT_2$  unterschiedliche Parameterfenster, die zu der oben definierten Noise Margin führen. Wünschenswert ist ein Parameterfenster für beide Transistoren, da dies die Auswahl geeigneter Transistoren für die Schaltung erleichtern würde. Hierzu wurden neben den oben beschriebenen VRH-Parametern zusätzlich die Transistorkanalweite  $W$  und -länge  $L$  variiert. Der Inverter wurde weiterhin derart aufgebaut, dass das  $\frac{W}{L}$ -Verhältnis des Lasttransistor kleiner ist als das des Schalttransistors ( $\frac{W_1}{L_1} < \frac{W_2}{L_2}$ ). Es stehen die Kombinationen an Transistorgrößen zur Verfügung, wie sie in Tabelle 9.2 aufgezählt sind.

Tabelle 9.2: Aus den gemäß Kapitel 3 hergestellten Transistoren zur Verfügung stehende  $\frac{W}{L}$ -Verhältnisse von  $OTFT_1$  und  $OTFT_2$  zur Verschaltung von Invertern auf dem Layout

$\frac{W_1}{L_1}$	$\frac{W_2}{L_2}$	$\frac{\frac{W_1}{L_1}}{\frac{W_2}{L_2}}$
200	1000	1:5
200	2000	1:10
5	20	1:4
1000	2000	1:2
100	2000	1:20

Um zu zeigen, dass die Parameterfenster beider Transistoren zur Überlappung gebracht werden können und um hierfür eine Methode zu entwickeln, wurden in einem ersten Durchlauf wünschenswerte Verteilungen der elektrischen Modellparameter entsprechend der Gleichungen 9.1-9.4 angenommen, da mit den realen Verteilungen die Parameterfenster sich nicht überlappten. Insbesondere die Schwellspannung  $V_T$  wurde bedeutend geringer angesetzt als in Tabelle 9.1. Außerdem wurde die Mobilität analog zur Schwellspannung als normalverteilt angenommen, der Kanallängenmodulationsfaktor  $\lambda$  wurde konstant auf Null gesetzt. Durch diese „künstlichen“ Verteilungen wurde nun versucht, eine Methode zu finden, die Parameterfenster zu einer Überlappung zu bringen. Tabelle 9.3 zeigt die Erwartungswerte und Standardabweichungen der Modellparameter. Es wurde eine Monte-Carlo-Simulation mit diesen Werten (für ein festes  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$ -Verhältnis von  $\frac{200}{1000}$ ), wobei wieder  $OTFT_1$  und  $OTFT_2$  zufällig Werte aus diesen Verteilungen zugewiesen bekommen, durchgeführt, und während jeder Simulation jedem Transistor ein anderer Parameterwert zugewiesen wurden. Es ergeben sich Parameterfenster, die nicht überlappen. Hielt man diese Parameterfenster nun fest und erlaubt den Modellparametern innerhalb dieser zu variieren, wurden die daraus resultierenden Parameterfenster nach erneuter Monte-Carlo-Simulation noch exklusiver. Aus diesem Grund wurden die Verteilungen in Tabelle 9.3 und zusätzlich eine Variation der  $\frac{W}{L}$ -Verhältnisse der Transistoren entsprechend Tabelle 9.2 angenommen. Für jedes auf dem Substrat vorkommende Verhältnis von Last- zu Schalttransistor wurden Monte-Carlo-Simulationen durchgeführt und die Noise Margin gefiltert. Abb. 9.8(a) zeigt, wie groß die Überlappung der Parameter  $V_T$ ,  $\mu$  und  $\gamma$  ausfällt, wenn nach 1500 Simulationen, inklusive Variation der  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$ -Verhältnisse, die Noise Margin zwischen 10V und 3V liegen soll.

Tabelle 9.3: Erwartungswerte und Standardabweichungen der VRH-Parameter entsprechend ihrer Verteilungen (Gleichungen 9.1- 9.4) für die charakterisierten Transistoren gemäß Kapitel 3. Diese Werte entsprechen einer gewünschten Verteilung für einen ersten Durchlauf der Monte-Carlo-Simulation.

VRH Parameter	Erwartungswert $\mu$	Standardabweichung $\sigma$
Mobilität $\mu$ [ $\frac{10^{-2} \text{cm}^2}{\text{Vs}}$ ]	2,8	1
Schwellspannung $V_T$ [V]	7	2
Gate-Spannungsabhängigkeit $\gamma$	1	0,25
Kanallängenmodulationsfaktor $\lambda$ [ $10^{-4}$ ]	0	/

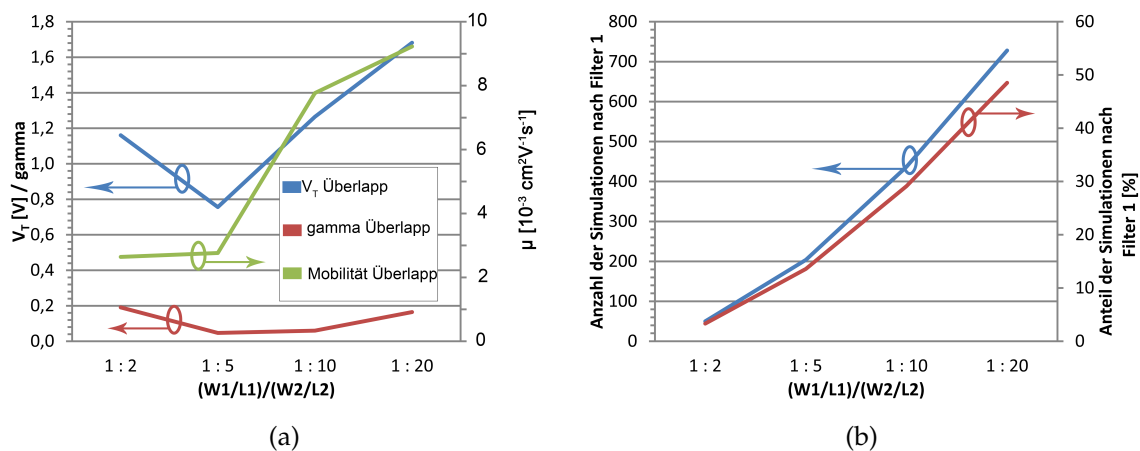


Abbildung 9.8: (a) Überlappung der Parameter Schwellspannung  $V_T$ , Mobilität  $\mu$  und  $\gamma$  und (b) Anteil der verbliebenen Monte-Carlo-Simulationen nach Anwendung des Filters 1, wonach die Noise Margin zwischen 10V und 3V liegen sollen [62].

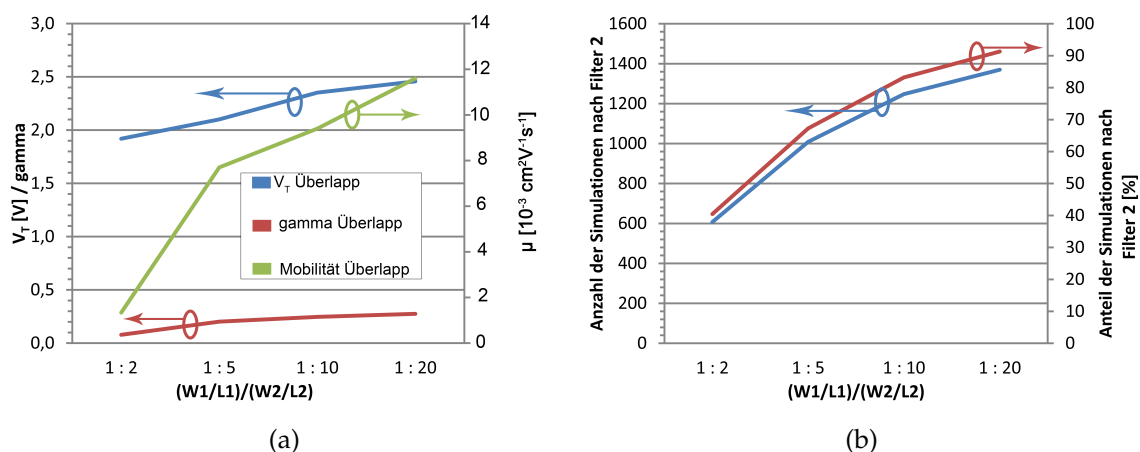


Abbildung 9.9: (a) Überlappung der Parameter Schwellspannung  $V_T$ , Mobilität  $\mu$  und  $\gamma$  und (b) Anteil der verbliebenen Monte-Carlo-Simulationen nach Anwendung des Filters 2, wonach die Noise Margin zwischen 13V und 0V liegen sollen [62].

Die Überlappung ergibt sich folgendermaßen: Z.B. liegt die Schwellspannung  $V_{TN1}$  für  $OTFT_1$  zwischen 7,3 V und 4,7 V und  $V_{TN2}$  für  $OTFT_2$  zwischen 7,1 V und 5,9 V. Das gemeinsame Parameterfenster für beide OTFT ist somit zwischen 7,1 V und 5,9 V, sodass sich eine Überlappung von 7,1 V-5,9 V=1,2 V ergibt. Die Überlappung der Parameter  $V_{TN,1}$  und  $V_{TN,2}$ ,  $\mu_1$  und  $\mu_2$  sowie  $\gamma_1$  und  $\gamma_2$  fällt für ein zunehmendes  $\frac{W_2}{L_2}$ -Verhältnis des Schalttransistors  $OTFT_2$  (kleiner werdendes Verhältnis  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$ ) geringer aus, nimmt dann jedoch wieder zu. Abb. 9.8(b) zeigt, dass für zunehmendes  $\frac{W_2}{L_2}$ -Verhältnis des Schalttransistors  $OTFT_2$  (kleiner werdendes Verhältnis  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$ ) die Anzahl bzw. der Anteil der Simulationen nach Anwenden des Filters zunimmt, jedoch ein Maximum bei ca. 750 Simulationen aufweist, also ca. der Hälfte der durchgeführten Simulationen. Für kleine  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$  stehen wenige Dutzend verbliebene Simulationen nach Anwendung des Filters als statistische Stichprobe zur Verfügung. Um auszuschließen, dass der Knick in der Abhängigkeit der Größe der Überlappung vom  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$ -Verhältnis in Abb. 9.8(a) aufgrund einer zu geringen Anzahl an Simulationen entsteht, wurde der Filter großzügiger bemessen, sodass mehr Simulationen nach Anwendung des Filter verbleiben. Abb. 9.9(b) zeigt, dass bei Filterung der Noise Margin zwischen 13V und 0V bereits bei kleinen  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$ -Verhältnissen ca. 600 Simulationen verbleiben. In Abb. 9.9(a) ist nun zu erkennen, dass die Überlappung der Parameter  $V_{TN,1}$  und  $V_{TN,2}$ ,  $\mu_1$  und  $\mu_2$  sowie  $\gamma_1$  und  $\gamma_2$  größer wird, wenn das  $\frac{W_2}{L_2}$ -Verhältnis des Schalttransistors  $OTFT_2$  größer wird (kleiner werdendes Verhältnis  $\frac{W_1}{L_1} / \frac{W_2}{L_2}$ ). Zusammenfassend lässt sich sagen, dass die Wahl der  $\frac{W}{L}$ -Verhältnisse die Größe der Parameterüberlappung beeinflusst. Je größer das  $\frac{W_2}{L_2}$ -Verhältnis des Schalttransistors  $OTFT_2$  verglichen zum Lasttransistor  $OTFT_1$ , desto größer wird die Überlappung. Somit wird die Auswahl geeigneter Transistoren erleichtert, um die gewünschte Noise Margin eines Inverters zu erreichen.

### 9.2.2.3 Bestimmung der Parameterfenster aus dem transienten Verhalten des Inverters

Zusätzlich zu den Untersuchungen des statischen Verhaltens des Inverters aus der Transferkennlinie, ist das dynamische Verhalten simuliert worden. Hierfür werden die Kapazitäten der Transistoren benötigt. Im folgenden wird beschrieben, wie diese ermittelt und für ein dynamisches Simulationsmodell für Schaltungen verwendet werden. Im Anschluss werden die Parameterfenster für transiente Simulationen bestimmt.

**9.2.2.3.1 Dynamisches Transistor Modell zur Schaltungssimulation** Neben der Isolator-Flächenkapazität  $C_{OX} = \epsilon_r \frac{1}{t_{OX}}$ , wobei hier  $\epsilon_r$  die Permittivität und  $t_{OX}$  die Schichtdicke des Dielektrikums bezeichnen, spielen vor allem beim vorliegenden Layout (Abb. 3.1) die Überlappkapazitäten zwischen Gate und Source  $C_{GS}$  sowie Gate und Drain  $C_{GD}$  (siehe Abb. 9.11) eine entscheidende Rolle. Diese lassen sich aus den Überlappflächen  $A_{GS}$  und  $A_{GD}$  mittels

$$C_{GS,O} = C_{OX} A_{GS,O} \quad (9.7)$$

$$C_{GD,O} = C_{OX} A_{GD,O} \quad (9.8)$$

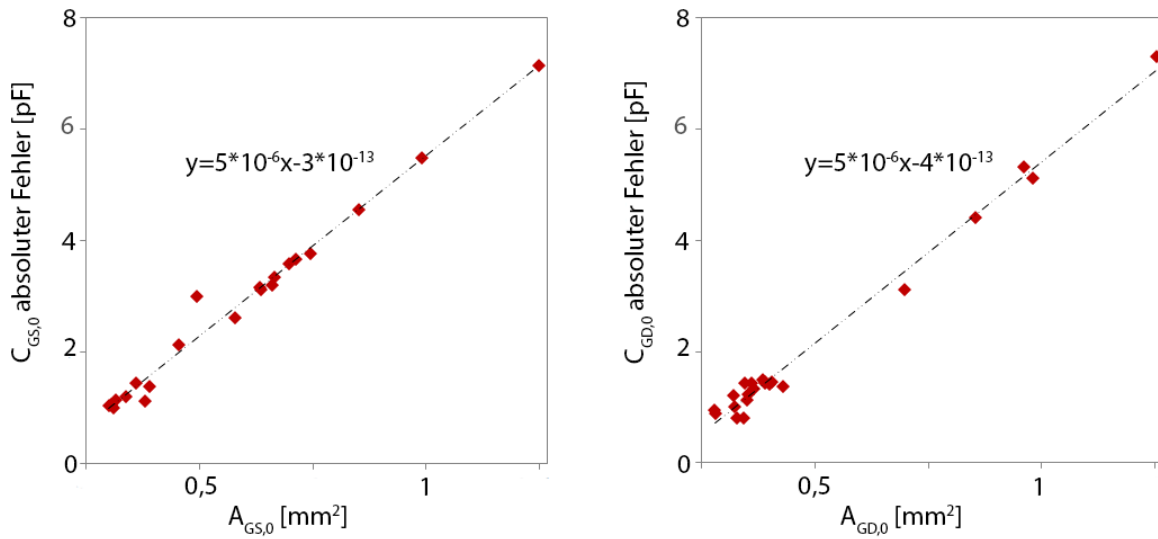


Abbildung 9.10: Der systematische Fehler aus der Messung und der Bestimmung aus dem Modell des Plattenkondensators für die Überlappkapazität zwischen Gate und Source  $C_{GS,O}$  und zwischen Gate und Drain  $C_{GD,O}$  ist als Funktion der Überlappflächen aufgetragen [47].

berechnen. Hierfür wurde das Modell des idealen Plattenkondensators angenommen. Dies führt jedoch zu einer Ungenauigkeit in der Abhängigkeit der Überlappkapazität von der Transistorgröße bzw. Überlappfläche [47]. Aus diesem Grund sind die Überlappkapazitäten experimentell als Funktion der Überlappflächen  $A_{GS,O}$  und  $A_{GD,O}$  bestimmt worden. Die gemessenen Werte weichen von den mit dem Plattenkondensator-Modell bestimmten ab, wobei dieser Fehler systematisch ist und in die Bestimmung der Überlappkapazität mit einbezogen wird. Es ergibt sich folgender Zusammenhang, der die Ausgleichsgerade aus den Messungen der Überlappkapazität (Abb. 9.10) darstellt [47]:

$$C_{GS,O} = C_{OX}A_{GS,O} - (5 \times 10^{-6} \cdot A_{GS,O} - 3 \times 10^{-13}) \quad (9.9)$$

$$C_{GD,O} = C_{OX}A_{GD,O} - (5 \times 10^{-6} \cdot A_{GS,O} - 4 \times 10^{-13}) . \quad (9.10)$$

Zusätzlich zu den Überlappkapazitäten gilt es die Kanalkapazität  $C_c$  in Abb. 9.11 zu betrachten. Diese lässt sich durch die Kanalfläche  $A_c$  sowie die Transistorkanalweite  $W$  und -länge  $L$  beschreiben:

$$C_c = C_{OX}A_c = \epsilon_r \frac{A_c}{t_{OX}} = \epsilon_0 \epsilon_r \frac{WL}{t_{OX}} \quad (9.11)$$

Für Modellierungszwecke wird die Kanalkapazität  $C_c$  entsprechend der Ladungsverteilung im Kanal in zwei Kapazitäten unterteilt:  $C_{GS,c}$  in der Nähe der Source-Elektrode und  $C_{GD,c}$  in der Nähe der Drain-Elektrode (siehe Abb. 9.11). Im linearen Bereich gilt [102]:

$$C_{GS,c} \Big|_{lin} = C_{GD,c} \Big|_{lin} = \frac{1}{2} C_c , \quad (9.12)$$

wohingegen in Sättigung gilt:

$$C_{GS,c} \Big|_{sat} = \frac{2}{3} C_c \quad \text{and} \quad C_{GD,c} \Big|_{sat} = 0 . \quad (9.13)$$

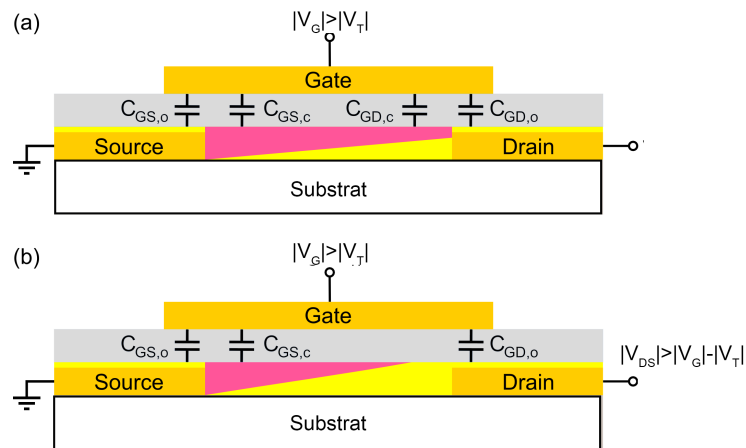


Abbildung 9.11: p-Kanal OTFT Bauteilkapazitäten (a) im linearen Bereich und (b) im Sättigungsbereich [47].

Die Überlapp- und Kanalkapazitäten können für jede Seite des Transistors als parallel angesehen werden und summieren sich somit zu

$$C_{GS} = C_{GS,O} + C_{GS,c} \quad (9.14)$$

$$C_{GD} = C_{GD,O} + C_{GD,c} \quad (9.15)$$

wobei  $C_{GS,0}$  und  $C_{GD,0}$  je nachdem, ob der Transistor im linearen Bereich ( $|V_{DS}| \leq |V_{GS}| - |V_T|$ ) oder Sättigungsbereich ( $|V_{DS}| > |V_{GS}| - |V_T|$ ) betrieben wird, aus Gleichung 9.12 oder 9.13 bestimmt werden. Nimmt man noch die Kontaktwiderstände (siehe Kapitel 4) an Source und Drain hinzu, lässt sich das Ersatzschaltbild in Abb. 9.12 für die Transistorsimulation aufstellen.

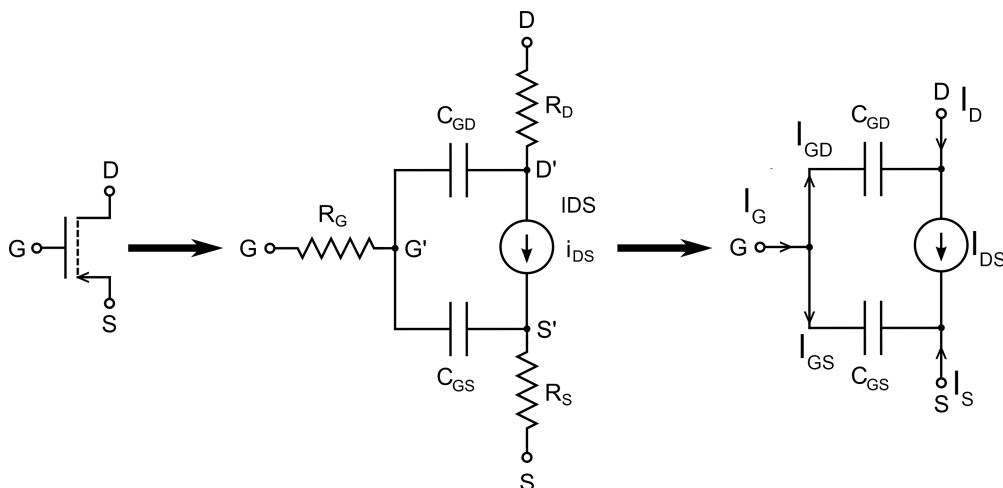


Abbildung 9.12: Dynamisches OTFT Modell unter Hinzunahme der Bauteilkapazitäten zum statischen OTFT Modell [47].

Aufgrund der kapazitiven Kopplung zwischen Gate und Source bzw. Drain wird der Strom  $I_G$  ungleich Null sein. Er ergibt sich aus

$$I_G = \frac{dV_{GD}}{dt}C_{GD} + \frac{dV_{GS}}{dt}C_{GS}. \quad (9.16)$$

Zusätzlich sind die Ströme durch Drain und Source  $I_D$  und  $I_S$  nicht mehr gleich, wenn ein sich zeitlich veränderndes Signal anliegt. Nach Kirchhoff ergeben sich die Ströme dann zu

$$I_D = I_{DS} - I_{GD} = I_{DS} - \frac{dV_{GD}}{dt}C_{GD} \quad (9.17)$$

$$I_S = -I_{DS} - I_{GS} = -I_{DS} - \frac{dV_{GS}}{dt}C_{GS}, \quad (9.18)$$

wobei der Strom  $I_{DS}$  nach Gleichung 2.5 gegeben ist. Gleichungen 9.17 und 9.18 dienen als Grundlage für die folgenden transienten Simulationen.

**9.2.2.3.2 Parameterfensterbestimmung durch dynamische Monte-Carlo-Schaltungssimulation** Für die Simulationen wurden Transistoren gewählt, deren Kanalweite  $W$  und -länge  $L$  sich während der Monte-Carlo-Simulationen nicht änderte. Somit bleiben auch die Überlappflächen und dadurch -kapazitäten konstant und können aus der Transistorgeometrie auf dem Layout (Abb.3.1) bestimmt werden (siehe Tabelle 9.4). Die Gleichspannungsquelle  $V_{in}$  in der Inverterschaltung (Abb. 9.3(b)) wird durch eine Pulsspannungsquelle ersetzt. Der Spannungspuls beginnt bei  $V_1 = 60V$  und endet bei  $V_2=0V$ . Die Anstiegs- und Abfallzeiten betragen je  $t_{rise} = t_{fall}=1\mu s$ , die Periodendauer beträgt  $T=2s$ . Die Laufzeitverzögerung des angelegten Eingangsspannungspulses lässt sich aus der Zeit, die zum Erreichen des halben Spannungspegels

$$V_{50\%} = \frac{V_H + V_L}{2} \quad (9.19)$$

berechnen, wobei  $V_H$  und  $V_L$  die HIGH- bzw. LOW-Pegel bezeichnen. Die Verzögerung der Anstiegs- und Abfallflanken  $\tau_{PLH}$  (Zeit zum Erreichen des HIGH-Levels ausgehend vom LOW-Level) und  $\tau_{PHL}$  (Zeit zum Erreichen des LOW-Levels ausgehend vom HIGH-Level) ergeben die Gesamtverzögerung zu

$$\tau_P = \frac{\tau_{PLH} + \tau_{PHL}}{2}. \quad (9.20)$$

Tabelle 9.4: Gate- und Überlappkapazitäten: theoretische Werte aus der Messung der Geometrie (siehe Layout Abb. 3.1) verglichen mit experimentell ermittelten Werten.

$\frac{W}{L}$	$A_{GS,O}$ [ $10^3\mu m^2$ ]	$A_{GD,O}$ [ $10^3\mu m^2$ ]	$C_{OX}$ [ $\frac{\mu F}{m^2}$ ]	$C_{GS,O}$ [pF]			$C_{GD,O}$ [pF]		
				Modell	Messung	Fehler	Modell	Messung	Fehler
200	347	718	20,4	7,07	5,68	1,39	14,62	11,51	3,11
1000	902,4	1031	20,4	18,38	13,81	4,57	20,99	15,67	5,32

Abb. 9.13 verdeutlicht die Berechnung der Verzögerungszeit. Es wurden 1500 transiente Monte-Carlo-Simulationen durchgeführt und über den in *Cadence* vorhandenen Kalkulator die Verzögerungen der Anstiegs- und Abfallflanken berechnet. Die Häufigkeitsverteilung dieser Verzögerungen und der Gesamtverzögerung ist in Abb. 9.14 dargestellt. Entsprechend der Analyse der Transferkennlinie des Inverters wurden die Ergebnisse der Verzögerungszeiten der transienten Simulation gefiltert, um Parameterfenster für Inverter zu erhalten, die schnell schalten können. Es wurde eine erlaubte Gesamtverzögerungszeit von max. 0,6 ms gewählt und die Parameterfenster in Abb. 9.15(a) und 9.15(b) sowohl mit der oben beschriebenen Minimum- und Maximum- als auch mit der Quartile-Methode extrahiert. Werden für  $OTFT_1$  die VRH Parameter  $\mu$ ,  $V_{TN}$ ,  $\gamma$  und  $\lambda$  entsprechend des Parameterfensters in Abb.9.15(a) und für  $OTFT_2$  entsprechend Abb. 9.15(b) gewählt, so wird ein daraus aufgebauter Inverter (Abb. 9.3(b)) innerhalb einer Gesamtverzögerung von 0,6ms schalten.

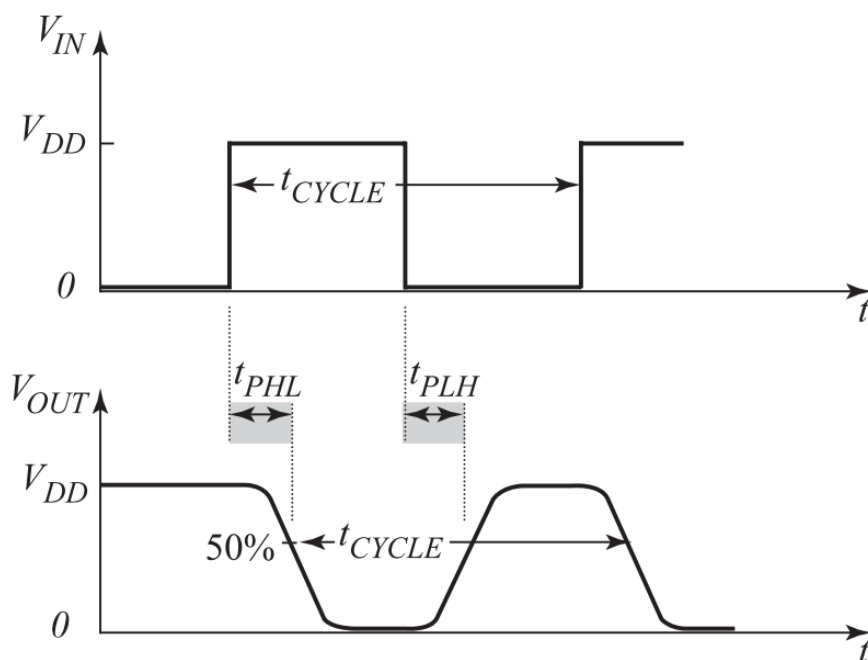


Abbildung 9.13: oben: Schematische Darstellung eines angelegten Spannungspulses an den Eingang  $V_{in}$  des Inverters.  
unten: Darstellung der Verzögerung der Anstiegs- und Abfallflanken am Ausgang des Inverters  $V_{out}$  [82].

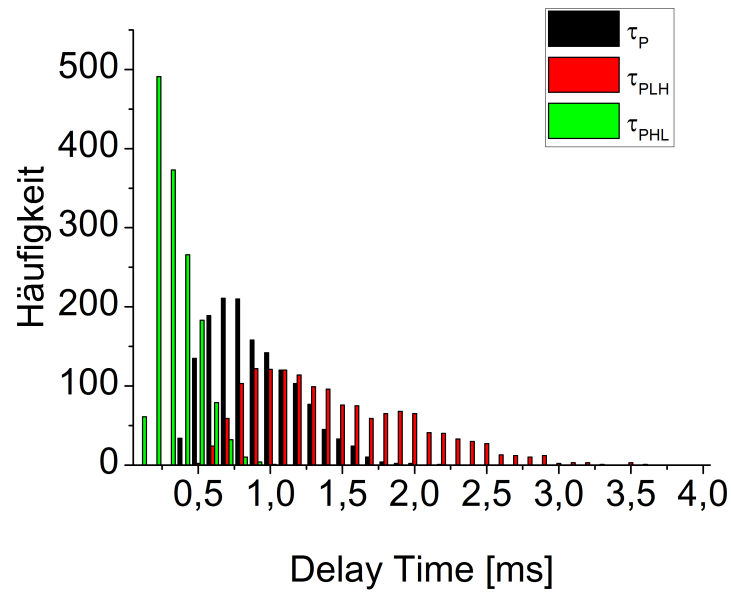


Abbildung 9.14: Histogramm der Verzögerungszeiten des Inverters vor Anwendung von Filtern. Der Inverter benötigt mehr Zeit um von LOW nach HIGH zu schalten als von HIGH nach LOW ( $\tau_{PLH} > \tau_{PHL}$ ). Die Gesamtverzögerung ergibt sich als Mittel der Antiegs- und Abfallflankenverzögerung [61].

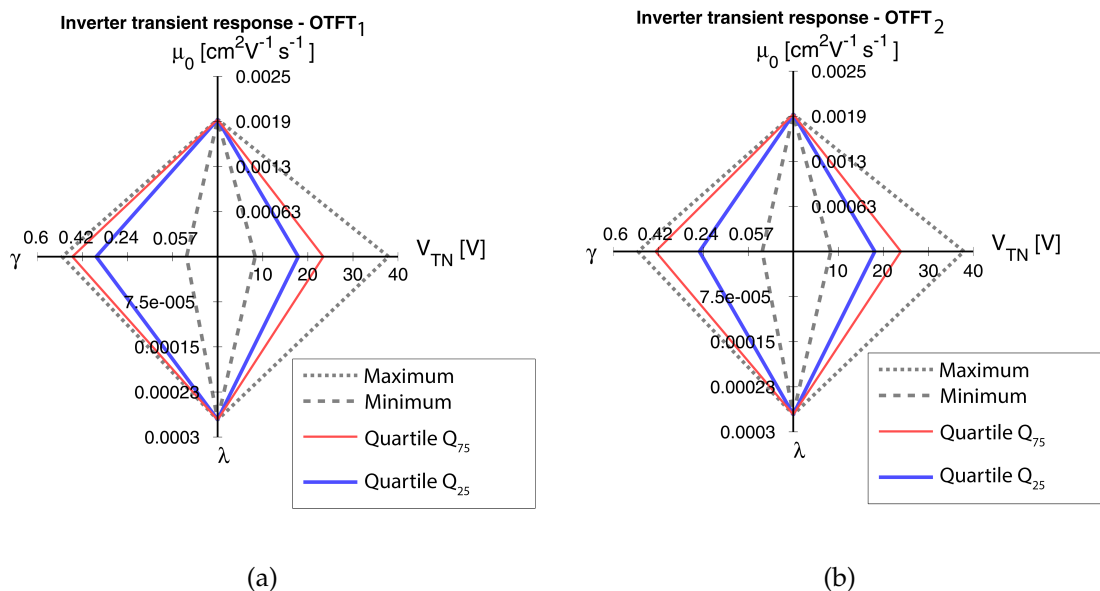


Abbildung 9.15: Parameterfenster für eine Gesamtverzögerungszeit von weniger als 0,6 ms für  $OTFT_1$  (a) und  $OTFT_2$  (b). Wird ein Transistor mit Parametern des VRH-Modells zwischen den Grenzen  $Q_{25}$  und  $Q_{75}$  gewählt, ist die Gesamtverzögerungszeit eines Inverters weniger als 0,6 ms [61].



## 9.3 Zusammenfassung

In diesem Kapitel wurde gezeigt, dass die Ausbeute der Transistoren, gemessen an der Größe der extrahierten Mobilität, abhängig ist von den geometrischen Größen des Transistors wie Kanalweite  $W$  und -länge  $L$ . Große Kanalweiten führen zu geringeren Ausbeuten, ebenso wie geringe Kanallängen. Neben der Ausbeute eines prozessierten Substrates ist die Parameterschwankung zu beachten. Um trotz fluktuierender Parameter robuste Schaltungen zu entwerfen, ist eine Methode vorgestellt worden, die die Massencharakterisierung von OTFTs mit einer Monte-Carlo-Schaltungssimulation verknüpft, um Transistoren für Schaltungen (im vorliegenden Fall ein Inverter, jedoch auch erweiter- und anwendbar für komplexere Schaltungen) zu identifizieren, die innerhalb vordefinierter Rahmenbedingungen (Noise Margin bzw. Verzögerungszeit) arbeiten. Hierzu wurden die VRH-Parameter  $\mu$ ,  $V_{TN}$ ,  $\gamma$  und  $\lambda$  von 61 Transistoren extrahiert und mit statistischen Verteilungen gefittet, sodass diese Verteilungen für die Monte-Carlo-Simulationen genutzt werden können. Hieraus konnten dann Fenster für die VRH-Parameter definiert werden, sodass Inverter, deren Transistorparameter innerhalb dieser Fenster liegen, innerhalb der vordefinierten Noise Margin bzw. Verzögerungszeiten arbeiten. Weiterhin wurden jene VRH Parameter identifiziert, deren Einfluss auf das Schaltungsverhalten besonders kritisch sind. Hier zeigte sich, dass besonders die Schwellspannung  $V_{TN}$  einen großen Einfluss auf die Noise Margin hat, gefolgt vom VRH-Parameter  $\gamma$ .



# Kapitel 10

## Zusammenfassung und Ausblick

### Inhalt

---

10.1 Zusammenfassung . . . . .	121
10.1.1 Beiträge dieser Arbeit . . . . .	121
10.2 Ausblick . . . . .	123

---

### 10.1 Zusammenfassung

Ziel dieser Arbeit war die Beschreibung der Einflüsse der Prozessschritte auf das elektrische Bauteilverhalten druckbarer organischer Transistoren während ihrer Herstellung. Indem der Weg der Ladungsträger, begonnen bei der Injektion in den Transistor, über den Ladungstransportweg durch den Transistorkanal aber auch den unerwünschten Ladungstransportweg durch das Dielektrikum, verfolgt wurde, konnten Effekte identifiziert werden, die den Ladungsträgertransport beeinflussen und behindern. Es ist ein automatisierter elektrischer Messplatz zur Parameterextraktion aufgebaut worden, der eine Evaluation der Prozessschritte erlaubt und der zur Quantifizierung der elektrischen Bauteilparameter verwendet wurde, wobei bis dato ca. 20000 Bauteile elektrisch charakterisiert worden sind. Weiterhin sind eine FE-Simulationsumgebung für druckbare organische Transistoren, eine Monte-Carlo-Simulationsumgebung für den Ladungstransport in druckbaren organischen Transistoren sowie eine Umgebung für Monte-Carlo-Schaltungssimulationen aufgebaut worden.

#### 10.1.1 Beiträge dieser Arbeit

Die Injektion der Ladungsträger in den Halbleiter des Transistors wird bestimmt durch die materialspezifische Schottky-Barriere zwischen den Elektroden und dem Halbleiter, und kann durch einen Kontaktwiderstand messtechnisch quantifiziert werden. Für hergestellte Proben, auf denen sich jeweils 62 Transistoren befinden, ist der Einfluss der Plasmavorbehandlung der Proben auf die Injektion experimentell durch Extraktion des

Kontaktwiderstandes untersucht worden. In der Finite-Elemente-Simulationsumgebung durchgeführte Simulationen aufgebauter Transistor-Modellstrukturen bestätigen, dass die Plasmavorbehandlung eine Kontaminationsschicht auf den Elektroden verringert und die Morphologie des Halbleiters in der Nähe der Elektroden derart verbessert, dass der Kontaktwiderstand um zwei Größenordnungen reduziert und somit die Injektion der Ladungsträger optimiert werden kann (Kapitel 4, [62, 67]).

Injizierte Ladungsträger stehen dem Ladungstransport im Transistorkanal zur Verfügung. Im Gegensatz zu Transistoren auf Siliziumbasis ist dieser Transport kein ballistischer zwischen delokalisierten Zuständen, sondern ein thermisch aktiviertes Tunneln zwischen lokalisierten Zuständen. Aus diesem Grund, und da sich der prinzipielle Aufbau organischer Transistoren von jenen auf Siliziumbasis unterscheidet, ist das elektrische Potential im Transistorkanal, das für den Ladungsträgertransport verantwortlich ist, durch konforme Abbildung und Lösung der Poisson-Gleichung hergeleitet worden. Ein Vergleich dieser physikalisch analytischen Lösung mit einer numerischen, wie sie in der Finite-Elemente-Simulationsumgebung erhalten wurde, zeigt die Übereinstimmung beider Ergebnisse. Dieses elektrische Potential dient als Grundlage für die Monte-Carlo-Simulation des Ladungstransportes in der aufgebauten Umgebung. Hierdurch konnten das thermisch aktivierte Tunneln zwischen den Zuständen nachgebildet und Ladungsträgerfallen identifiziert werden. Weiterhin zeigen simulierte Strom-Spannungs-Kennlinien der Ausgangs- und Transfercharakteristik, sowie das zeitliche Schaltverhalten des modellierten Transistors, die qualitative Gültigkeit der hergeleiteten Ausdrücke und die Nutzbarkeit der Monte-Carlo-Simulationsumgebung (Kapitel 5, [62, 63]).

Der Ladungsträgertransport im Transistorkanal (bei den in dieser Arbeit vorliegenden Transistoren in Top-Gate-Bottom-Contact Architektur) wird maßgeblich durch die Grenzfläche zwischen Halbleiter und Dielektrikum bestimmt. Die Topologie dieser Grenzschicht bzw. die Morphologie der Schichten ist stark vom Herstellungsprozess (Spin-Coating, Drucken) dieser funktionalen Schichten abhängig. Durch Drucken des Halbleiters ist die Morphologie des Transistorkanals derart verändert worden, dass sich aufgrund der Morphologie die Breite der Verteilung der Zustandsdichten vergrößert hat. Nach dem Modell, dass Ladungen thermisch aktiviert zwischen den lokalisierten Zuständen tunneln, führt dies zu längeren Transportzeiten für Ladungen durch den Transistorkanal. Dies konnte durch transiente Messungen des Stromes durch den Transistorkanal nachgewiesen werden. Daraus extrahierte Verteilungen der Geschwindigkeit der Ladungsträger zeigen, dass im Falle eines gedruckten Halbleiters mehr langsamere Ladungsträger am Stromtransportprozess beteiligt sind als bei einem Halbleiter, der durch Spin-Coating hergestellt wurde. Die Morphologie des Halbleiters ändert sich jedoch nicht durch unterschiedliche Herstellungsverfahren des Dielektrikums: Hier konnte keine erhöhte Anzahl langsamerer Ladungsträger gemessen werden (Kapitel 6, [62]).

Neben der Morphologie der Grenzschicht zwischen Halbleiter und Dielektrikum beeinflussen während des Herstellungsprozess eingebrachte Verunreinigungen oder strukturelle Defekte im Halbleiter, an der Grenzschicht zum Dielektrikum und im Dielektrikum selbst, den Ladungstransport, da diese als Ladungsträgerfallen fungieren. Um den Einfluss dieser Ladungsträgerfallen zu ermitteln als auch um festzustellen, in welcher funktionellen Schicht sich Ladungsträgerfallen befinden, sind elektrische Messmethoden entwickelt worden, die zeigen, dass bei den in dieser Arbeit vorliegen-

den Transistoren, Ladungsträgerfallen an der Grenzschicht und z.T. im Dielektrikum vorhanden sind, die jedoch durch eine Relaxationsmessung entleert werden können (Kapitel 7).

Neben dem Ladungsträgertransport durch den Transistorkanal findet auch ein Ladungsträgertransport durch das Dielektrikum in Form von Leckströmen statt. Die herstellungstechnische Optimierung der Injektion der Ladungsträger durch Self-Assembled-Monolayers führt nicht nur zur Verbesserung der Injektion der Ladungsträger in den Transistorkanal, sondern beeinflusst auch den Leckstrom. Hierfür sind in der Finite-Elemente-Simulationsumgebung Modellstrukturen aufgebaut worden. Sowohl die Strom-Spannungs-Kennlinie des Leckstromes, als auch eine Simulation mit einem Modell für einen leitenden Isolator, zeigen ein ohmsches Verhalten der Leckströme, wenn auf die Elektroden kein Self-Assembled-Monolayer aufgebracht wurde, sodass sich das Dielektrikum in diesem Fall als ohmscher Widerstand modellieren lässt. Für den Fall, dass ein Self-Assembled-Monolayer auf die Elektroden aufgebracht wurde, kann das nicht-lineare Verhalten der Strom-Spannungs-Kennlinie des Leckstromes durch einen schlecht leitenden Halbleiter als Dielektrikum modelliert werden. Im Allgemeinen können die Leckströme verringert werden, wenn Dielektrika mit höheren Schichtdicken hergestellt werden, denn bei zu großen Leckströmen ändern sich die gemessenen Strom-Spannungs-Charakteristika des Transistors und es kann zu Durchschlägen im Dielektrikum kommen, was die Ausbeute hergestellter Bauteile verringert (Kapitel 8, [62]).

Trotz der Erkenntnisse, welchen Einfluss Prozessschritte auf das elektrische Bauteilverhalten haben, liefern die Herstellungsprozesse für organische Transistoren Substrate, bei denen die elektrischen Parameter der Bauteile fluktuieren. Um trotz dieser Fluktuation aus organischen Transistoren Schaltungen, wie einen Inverter, aufbauen zu können, ist ein Parameterfenster definiert worden, in dem die elektrischen Parameter der Transistoren eines Inverters liegen müssen, sodass der Inverter innerhalb vorher definierter Noise Margins arbeitet oder innerhalb einer vorher definierten Zeit schaltet. Hierzu sind mit dem automatisierten Messplatz Massencharakterisierungen hergestellter Transistoren durchgeführt und die extrahierten elektrischen Parameter an statistische Verteilungen gefittet worden. Durch die aufgebaute Monte-Carlo-Schaltungssimulationsumgebung können Inverter aus Transistoren aufgebaut werden, deren elektrische Parameter entsprechend der statistischen Verteilungen fluktuieren. Die Monte-Carlo-Schaltungssimulation lässt dann die Definition eines Parameterfensters zu.

## 10.2 Ausblick

Die hier vorgestellte Finite-Elemente-Simulationsumgebung eignet sich dafür, weitere Prozesseinflüsse auf die Eigenschaften der funktionalen Schichten im Transistor zu modellieren. Für die Injektion sind drei einzelne Fälle einer - durch den Prozess beeinflussten - Struktur (jeweils für die Elektroden und den Halbleiter) in Form von Transistor-Modellstrukturen entwickelt worden. Diese können zu einer Transistor-Modellstruktur kombiniert werden, da angenommen werden kann, dass prozessbedingte Effekte, wie die Kontamination der Elektroden und die Morphologie des Halbleiters, immer zusammen auftreten. Sowohl die Finite-Elemente- als auch die Monte-Carlo-Simulationsumgebung

können genutzt werden, um die drucktechnischen Einflüsse auf die Morphologie und insbesondere auf die Verteilung der Zustände, als auch Ladungsträgerfallen zu modellieren und zu ermitteln, wie sich Änderungen, auch der Bauteilstruktur und -geometrie, auf die Strom-Spannungs-Charakteristika auswirken. Die Finite-Elemente-Simulationsumgebung kann auch genutzt werden, um die Morphologie des Dielektrikums und deren Einfluss auf das Leckstromverhalten zu modellieren. Die Monte-Carlo-Schaltungssimulationsumgebung kann auf komplexere Schaltungsblöcke, wie Gatter, ausgeweitet werden, sodass auch hier trotz prozessbedingter elektrischer Parameterfluktuationen zuverlässige Schaltungen aufgebaut werden können, indem ein Parameterfenster für die zu verwendenden Transistoren definiert wird. Mit dem in dieser Arbeit aufgebauten elektrischen Messplatz zur automatisierten Massencharakterisierung und -auswertungen kann eine statistische Analyse des Druckprozesses weitergeführt werden. Mit diesem Messplatz und den vorgestellten Simulationsumgebungen ist es möglich, nicht nur weitere Prozesseinflüsse auf das elektrische Verhalten von Transistoren zu identifizieren, zu modellieren und zu optimieren, sondern, durch geringfügige Modifikationen, auch auf das elektrische Verhalten anderen Bauelemente der gedruckten Elektronik, wie organische Leuchtdioden und Solarzellen zu schließen. Dadurch kann ein direkter Zusammenhang der Prozesscharakteristik auf das Bauteilverhalten aufgestellt werden.

# Danksagung

Am Ende bleibt mir nur noch übrig, den Menschen zu danken, die dazu beigetragen haben, dass diese Arbeit, die zwischen 2009 und 2013 an der Technischen Universität Darmstadt, in der Forschungsgruppe Mikroelektronische Systeme entstanden ist, möglich war und zur vorliegenden Form gefunden hat.

Ohne meinen Doktorvater Prof. Dr. Dr. h. c. mult. Manfred Glesner gäbe es nicht dieses Promotionsthema und die Freiheit der Forschung hierzu.

Den Gutachtern Prof. Dr.-Ing. Edgar Dörsam und Prof. Dr.-Ing. Helmut Schlaak danke ich für die Übernahme des Korreferats.

Simone Ganz und Dieter Spiehl, beide Institut für Druckmaschinen und Druckverfahren, lieferten mir eine Vielzahl an Proben, aus deren Untersuchung die Ergebnisse dieser Arbeit entstanden.

Mareiki Kaloumenos und Hans-Peter Keil lieferten mir immer ein Ohr für promotionsbedingte Leidensphasen und halfen mir zusammen mit Andreas Schmidt beim wöchentlichen dinieren darüber hinweg.

Zusammen mit meinen Bürokollegen Petru Bacinschi, Ramkumar Ganesan und François Philipp erlebte ich entspannende und ruhige Zeiten im Forscheralltag, wofür Roland Brand und Silvia Hermann die technische bzw. administrative Infrastruktur lieferten.

Dass meine Arbeit auch anderen Personen außer mit inhaltlich verständlich wurde, verdanke ich den Korrekturlesern Mareiki, Simone und Dieter.

Insbesondere danke ich meiner Familie für ihre Unterstützung in jeder Hinsicht. Meinen Schwestern Patrizia und Julia verdanke ich humorvolle Aufmunterung. Vor allem Julia hat einen großen Anteil an der Behebung meiner Rechtschreib- und Grammatikfehler.

Meine Frau Tanja sprach mir immer Mut zu, schenkte mir jederzeit ein offenes Ohr und bot mir stets einen Rückzugsort zum Erholen. Meine Tochter Sophia zeigte mir jedes Mal, dass es Wichtigeres gab, und sie ist meine Freude, die mir Kraft gibt.

An letzter Stelle gebührt Dank meinen Eltern für Ihre unermüdliche Aufopferung, und dass sie es mir möglich gemacht haben, soweit gekommen zu sein.

Ihnen widme ich diese Arbeit.





# Anhang A

## Matlab Code: Monte-Carlo Ladungstransportsimulation und Transistor-Modellstruktur boxes

Listing A.1: MATLAB Quellcode der Monte-Carlo Ladungstransportsimulation

```
1  clc;
2  clear;
3  close all;
4
5  currentdate = datestr(now,30);
6
7  a = 1e-6;
8
9  % Polymer and Charge count, number of closest neighbors, dt
10 npolyX = 9;
11 npolyY = 9;
12 npolyZ = 3;
13 npoly = npolyX*npolyY*npolyZ; %Polymer number
14 ncharges = npoly*2;          %Charge number
15 n = npoly-2;                %Number of next neighbors
16 nchargesinit = 0;           %Number of starting charges at the polymer
17 dt = 0;                     %Time interval, in s
18 ntime = 500                 %Time iterations
19 ntimerrelevant = 500;       %Last time iterations that are relevant.
20 tlimit = ntime*dt;
21
22
23 % Control parameters
24 bRandPoly = 0;              %0: Polymers are arranged in a cristaline way, 1:
    Polymers are randomly placed over the substrate
```

```

25 mChargesInter = 2; %0: No interaction between charges, 1: Avoid more
    than one charge at a time in one site, 2: Coulomb interaction
26 bPlotTransferCurve = 1; %0: Plot output curve(Id x Vd), 1: Plot
    transfer curve(Id x Vg)
27 bPlotNCharges = 0; %1: plot number of charges inside the substrate
28 bPlotDCurrent = 1; %1: plot drained current
29 bPlotICurrent = 0; %1: plot injected current
30 bPlotDq = 0; %1: plot drained charge
31 bPlotIq = 0; %1: plot injected charge
32 bPlotDn = 0; %1: plot drained number of charges
33 bPlotIn = 0; %1: plot injected number of charges
34 bPlotDiffCurrent = 0; %1: plot difference between injected and drained
    current
35 bPlotDiffq = 0; %1: plot difference between injected and drained
    charge
36 bPlotDiffn = 0; %1: plot difference between injected and drained
    number of charges
37 bPlotPath = 0; %1: plot charges path
38 if(bPlotTransferCurve==0)
39     plotXLabel = 'Vd';
40     plotZLabel = 'Vg';
41 else
42     plotXLabel = 'Vg';
43     plotZLabel = 'Vd';
44 end
45
46 channelX = a*npolyX; %Channel lenght
47 channelY = a*npolyY; %Channel width
48 channelZ = a*npolyZ; %Channel height
49
50 %drain_min_range = channelX*0.05; %minimal range to use drain(or
    source) as possible hopping site (unused)
51 substrateLatticeRatio = 0.9; %The lattice extends over the eletrodes
    and acts as hopping sites inside the electrodes as well.
52
53 %Electrode potentials vectors
54 rangeVg = [4:-3:-2];
55 rangeVs = [0];
56 rangeVd = [0:-0.5:-50];
57 if(bPlotTransferCurve==0)
58     rangeOuter = rangeVg;
59     rangeInner = rangeVd;
60 else
61     rangeOuter = rangeVd;
62     rangeInner = rangeVg;

```

```

63 end
64
65 % Physical constants and parameters
66 E = 1.6e-19; %Elementar charge in C
67 k = 1.38e-23; %boltzmann constant
68 T = 300; %Temperature in K
69 e0 = 8.85e-12; %Vacuum permittivity
70 er = 100; %Relative permittivity of the substrate
71 gamma = 0.83e1; %
72 vo = 1.35e13; %
73 c = 3e8; %Speed of light
74 dosStdDev = 0.065*E; %Standard Deviation of the DOS
75 dosMean = -3*E; %Mean of the DOS
76 fermiElectrodes = -5*E; %Fermi energy of the (gold) electrodes at 0V.
    (Taken from http://mysite.du.edu/~jcalvert/phys/copper.htm#Gold)
77
78
79 % Polymer generation
80 if(bRandPoly==0) %Generate hopping sites as a lattice
81     for ix = 1:npolyX
82         for iy = 1:npolyY
83             for iz = 1:npolyZ
84                 pindex = ix*npolyY*npolyZ + iy*npolyZ + iz;
85                 px(pindex) =
86                     (ix-1)*((channelX/substrateLatticeRatio)/(npolyX-1));
87                 py(pindex) = (iy-1)*(channelY/(npolyY-1));
88                 pz(pindex) = (iz-1)*(channelZ/(npolyZ-1));
89             end
90         end
91     end
92 else %Randomly generate hopping sites
93     px = rand(npoly+2,1)*channelX/substrateLatticeRatio;
94     py = rand(npoly+2,1)*channelY;
95     pz = rand(npoly+2,1)*channelZ; % Actual polymer positions
96 end
97 PEi = randn(npoly+2, 1)*dosStdDev + dosMean; % Initial(intrinsic)
    polymer energy
98 electrodeindex = find(px>channelX); % find the hopping sites
    within the electrodes
99 PEi(electrodeindex) = fermiElectrodes; % set the intrinsic site
    energy within the electrodes to the fermi energy
100 PEi(npoly + 1) = fermiElectrodes; % drain electrode hopping site
101 PEi(npoly + 2) = fermiElectrodes; % source electrode hopping site
102

```

```

103 pocc = zeros(npoly,1);    %pocc indicates whether the polymer is
    occupied
104 % REMARK: Hopping sites npoly + 1 and npoly + 2 represent the drain
    and the source electrodes, respectively
105
106 % Pre-calculation of polymer distances
107 r = zeros(npoly+2);      %r(i,j) holds the distance of site i to site j
108 for i = 1:npoly
109     for j = 1:npoly
110         r(i,j) = sqrt((px(i)-px(j))^2 + (py(i)-py(j))^2 +
            (pz(i)-pz(j))^2);
111     end
112 end
113 meanpolydist = mean(mean(r)); %calculates the mean polymer distance
114
115 %Precalculation of the energy shift generated by presence of charges
    in each hopping site
116 PEq = zeros(npoly+2);
117 peqk = E^2/(4*pi*e0*er); %pre calculation of the constant part of the
    coulomb interaction formula
118 for i = 1:npoly
119     for j = 1:npoly
120         PEq(i,j) = peqk/r(i,j);
121         if(PEq(i,j)==Inf)
122             PEq(i,j) = realmax;
123         end
124         if(px(j)>channelX)
125             PEq(i,j) = 0;
126         end
127     end
128 end
129
130 % Polymer to electrodes distance
131 for i = 1:npoly
132     j = npoly+1;
133     r(i,j) = channelX - px(i) + channelX/npolyX;
134     r(j,i) = r(i,j);
135     j = npoly+2;
136     r(i,j) = px(i)+channelX/npolyX;
137     r(j,i) = r(i,j);
138 end
139 r(npoly+1,npoly+2) = channelX;
140 r(npoly+2,npoly+1) = channelX;
141 %Electrodes position as polymer site
142 px(npoly+1) = channelX + channelX/npolyX;

```

---

```

143 py(npoly+1) = channelY/2;
144 pz(npoly+1) = channelZ/2;
145
146 px(npoly+2) = -channelX/npolyX;
147 py(npoly+2) = channelY/2;
148 pz(npoly+2) = channelZ/2;
149
150 %phiV = zeros(length(rangeVs),length(rangeInner),length(rangeOuter));
151 %i_mean = zeros(length(rangeVs),length(rangeInner),length(rangeOuter),
    ntime);
152 %i_delta =
    zeros(length(rangeVs),length(rangeInner),length(rangeOuter), ntime);
153 %q_delta =
    zeros(length(rangeVs),length(rangeInner),length(rangeOuter), ntime);
154
155 %n_hops = zeros(length(rangeVs),length(rangeInner),length(rangeOuter),
    ntime);
156
157
158 for phiVs = 1:size(rangeVs,1) % Loop through the given vector of
    source potentials
159     Vs = rangeVs(phiVs);
160
161     for phiOuter = 1:size(rangeOuter,2) % Loop through the given vector
        of gate potentials
162
163
164         %fprintf('Vg = %d phiInner = %g ', Vg, phiOuter);
165
166         for phiInner = 1:size(rangeInner,2) % Loop through the given
            vector of drain potentials
167             if(bPlotTransferCurve==0)
168                 Vg = rangeOuter(phiOuter);
169                 Vd = rangeInner(phiInner);
170             else
171                 Vd = rangeOuter(phiOuter);
172                 Vg = rangeInner(phiInner);
173             end
174
175
176
177             %fprintf('Vg = %d phiOuter = %d ', Vg, phiOuter);
178
179             PEqt = zeros(npoly+2,1); % Vector that holds the total shift in
                energy caused by the presence of charges in each site

```

```

180
181     % Charge memory allocation
182     chargep = ones(ncharges,1)*(npoly+2); %All charges start at
        source
183
184     % Set an amount of charges randomly at the substrate
185     for i = 1:nchargesinit
186         tmpi = randi([1,npoly],1);
187         while (PEqt(tmpi)==realmax) % While the chosen site is
            occupied
188             tmpi = randi([1,npoly],1);
189         end
190         chargep(i) = tmpi;
191         PEqt = PEqt + PEq(:,chargep(i)); % Adds the energy of the
            recently added charge to the vector
192     end
193
194     PEP = zeros(npoly+2, 1); %Vector that holds the shift in
        energy caused by the applied voltage at the electrodes
195
196     % Charges properties
197     chargeWeight = ones(ncharges,1); %Used to multiply the
        charges by a certain factor
198     chargetau = zeros(ncharges,1); %Dwelling time
199     %chargeNextSite = zeros(ncharges,1); %Site that charges will
        hop to (unused)
200     chargehop = zeros(ncharges,1); %Control variable, means that
        the charge dwelling time is elapsed and it can hop
201
202     PATHX = cell(ncharges,1); %Matrixes holding the charge
        positions in each timestep
203     PATHY = cell(ncharges,1);
204     PATHZ = cell(ncharges,1);
205
206     %Calculate the potential for each hopping site
207     for i = 1:npoly
208         L = channelX;
209         Y = px(i);
210         X = (channelZ-pz(i));
211         PEP(i) = (Vd+Vs)/2+((Vg-Vd)/pi)*atan((cos(pi*Y/L).*...
212             cosh(pi*X/L)+1)./(sin(pi*Y/L).*sinh(pi*X/L)))+...
213             ((Vs-Vg)/pi)*atan((cos(pi*Y/L)...
214             .*cosh(pi*X/L)-1)./(sin(pi*Y/L).*sinh(pi*X/L)));
215         if(isnan(PEP(i)) || px(i)>channelX) %To avoid numerical
            artifacts near the gate/drain overlap

```

```

216         PEp(i) = Vd;
217     end
218     PEp(i) = PEp(i)*E; %Transforms the potential into energy
        values
219 end
220 PEp(npoly+1) = Vd*E;
221 PEp(npoly+2) = Vs*E;
222
223 %chargeNextSite = charge;
224
225
226     elapsedTime = 0;
227     nhops = 0;
228     qInjected = 0;
229     nInjected = 0;
230     iInjected = 0;
231     qDrained = 0;
232     nDrained = 0;
233     iDrained = 0;
234     dt = 0;
235     meanIndex = 1;
236     chargesInSubstrate = [0 0];
237     meanchargesInSubstrate = [0 0];
238     %nextInjectedCharge = 0;
239
240     for t = 1:ntime %Time loop
241
242         if(dt<1) %To avoid elapsedTime going to infinite
243             elapsedTime = elapsedTime + dt;
244         end
245
246         for i = 1:ncharges %Loop through all the charges
247
248             PATHX{i}(t) = px(chargep(i));
249             PATHY{i}(t) = py(chargep(i));
250             PATHZ{i}(t) = pz(chargep(i));
251
252             chargetau(i) = chargetau(i) - dt; %Time variation
253             % Hop
254             if (chargetau(i)<=0)
255
256                 PEq_t = PEq_t - PEq(:,chargep(i)); % Disconsider the
                    field generated by itself
257
258                 %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

```

259         %%% find the next n neighbors %%%
260         %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
261         % reorder distances vector
262         % add a row of indices
263         tmpr = r(chargep(i),:);
264         tmpr = [1:length(tmpr); tmpr];
265
266         %sort by value of vector (in row 2)
267         [Y,I] = sort(tmpr(2,:));
268
269         %reorder according to the indexes of the sorted
                vector
270         tmpr=tmpr(:,I);
271         min_r = tmpr(:,(1:n));           %the smallest n
272
273         % if((chargep(i)==npoly+2)&&(chargehop(i)==1))
274         % min_r = tmpr(:,(n+2:2*n+1));           %the smallest n
275         % end
276         %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
277         %%% Done finding n neighbors %%%
278         %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
279
280
281         PEn = PEi(min_r(1,:)) + PEp(min_r(1,:)) +
                PEqt(min_r(1,:));
282         %Site energy is the sum of the DOS with the potential
                generated by the electrodes
283
284         %PEn = PEi(min_r(1,:)) + PEp(min_r(1,:)) +
                PEqt(min_r(1,:)) - PEq(chargep(i)); %Site energy
                is the sum of the DOS with the potential
                generated by the electrodes
285         %PEn = PEi(min_r(1,:)) + PEp(min_r(1,:));
286         currE = PEi(chargep(i)) + PEp(chargep(i)) +
                PEqt(chargep(i)); %Energy of current site
287         %currE = PEi(chargep(i)) + PEp(chargep(i));
288         PEn = PEn - currE;           %Energy difference between
                possible hopping sites and current site
289         PEn(PEn < 0) = 0;           %All negative energy
                difference must be zero, its equivalent to check
                the ei > ej condition
290
291         V_inside = -2*gamma*min_r(2,:)-PEn'/(k*T);
292         V = exp(V_inside);
293         V = vo*V; %Hopping rates for the next neighbors

```



```

294         Vsum = sum(V);
295
296         if(Vsum > 0)
297             P = V/Vsum;           %Probabilities from the
298                                     Hopping rates
299             P_uni = cumsum(P);     %Cummulative sum for the
300                                     decision of the next site (one-dimensional)
301             P_uni_edges = [0, P_uni]; %Edges of the
302                                     "mapped" distribution to one axis
303
304             rndnext = rand(1);     %Uniformly generated
305                                     random number
306             inext = 1;
307             inext = find(histc(rndnext, P_uni_edges)==1);
308                                     %Decide the next site
309
310             if (inext>n)
311                 inext=n;           %Check for possible counting
312                                     error
313             end
314
315 %Hopping process has 2 basic steps: first, the dwelling
316 %time is calculated and the charge stays at the current
317 %site
318 %until the dwelling time expires; second, the probabilities
319 %are calculated and the charge position is changed
320 %randomly according to the probability distribution. The
321 %variable chargehop controls the step order.
322         if(chargehop(i) == 1)
323             oldp = chargep(i);
324
325             chargep(i) = min_r(1, inext);
326         nhops = nhops + 1;
327
328         if ((oldp == npoly + 2) || (chargep(i)~=npoly+2)) %Check
329                                     whether the charge hopped from source electrode to
330                                     substrate
331         if(dt<1) % To avoid the infinity artifact
332             %newp = chargep(i);
333             %fprintf("%d: %d->%d\n", i,oldp, newp)
334             %pause

```

```

325         qInjected = qInjected+E; %Add the
           elementary charge to the total
           drained charge
326         nInjected = nInjected+1; %Add 1 to the
           total number of drained charges
327     end
328 end
329     if (px(chargep(i)) > channelX) %Check whether
           the charge hopped from substrate do drain
           %oldp = chargep(i);
330         if(dt<1) % To avoid the infinity artifact
           PATHX{i}(t) = px(chargep(i));
           PATHY{i}(t) = py(chargep(i));
           PATHZ{i}(t) = pz(chargep(i));
331
           %newp = chargep(i);
           %fprintf("%d: %d->%d\n", i,oldp, newp)
           %pause
332
333         qDrained = qDrained+E; %Add the
           elementary charge to the total
           drained charge
334         nDrained = nDrained+1; %Add 1 to the
           total number of drained charges
335     end
336     chargetau(i)=realmax; %To
337     chargep(i) = npoly+2; %Set charge position
           to source
338     elseif (chargep(i) == n+2) %Charge hopped back
           from substrate to the source
339         chargetau(i)=realmax;
340     else
341         chargetau(i) = 0;
342     end
343
344     chargehop(i) = 0; %Already hopped, next
           iteration calculates the dwelling time
345 else %If chargehop ~= 1
346
347     chargetau(i) = -1/Vsum*log10(1-rand(1)); %Set
           new charge dwelling time
348     %chargetau(i) = 1/Vsum;
349     chargehop(i) = 1; %Calculated the dwelling
           time, in the next interation charge hops.
350
351
352
353
354
355
356
357

```

```

358
359         end %If chargehop == 1
360     else %If Vsum==0
361         %Compensate for numerical artifacts introduced
            when all of the possible hopping sites are
            occupied
362     %wait until some charge hops and check once again
363         chargehop(i) = 1;
364         chargetau(i) = min(chargetau);
365
366     end %if Vsum > 0
367     PEqt = PEqt + PEq(:,chargep(i)); %Reconsider the
            field generated by the charge
368
369     end % if chargetau <= 0
370
371     end % for i = 1:ncharges
372     dt = min(chargetau); %Time variation is given by the
            minimum dwelling time.
373     %dtsmattmp(phiOuter, phiInner, t) = dt;
374     %meantau(phiOuter,t) = mean(chargetau
375
376     end % for t = 1:ntime
377     % Display the calculated values
378     fprintf('\n(Vg=%g;Vd=%g)\tTime:%gs\tReachedD:%d\tI...
379     :%gA\tmax_chages:%d\tmean_charges:%d\n', Vg, Vd, elapsedTime,
            nDrained, qDrained/elapsedTime, chargesInSubstrate(1),
            meanchargesInSubstrate(1))
380
381     meanchargespartial(phiInner) = meanchargesInSubstrate(1);
382     ipartial(phiInner) = qDrained/elapsedTime; %calculate the
            current based on the number of charges that reached the
            drain
383     qpartial(phiInner) = qDrained;
384     npartial(phiInner) = nDrained; %number of charges that reached
            the drain
385     iipartial(phiInner) = qInjected/elapsedTime;
386     qiipartial(phiInner) = qInjected;
387     niipartial(phiInner) = nInjected;
388
389     end % for Vg = rangeOuter
390     %meantaufinal(:,phiInner) = meantaupartial;
391     %meanchargesfinal(:,phiOuter) = meanchargespartial;
392     ifinal(:, phiOuter) = ipartial; %calculate the current based on
            the number of charges that reached the drain

```

```

393     nfinal(:, phiOuter) = npartial;    %number of charges that
        reached the drain
394     qfinal(:, phiOuter) = qpartial;
395     iIfinal(:, phiOuter) = iIpartial;
396     qIfinal(:, phiOuter) = qIpartial;
397     nIfinal(:, phiOuter) = nIpartial;
398     iDifffinal = iIfinal - ifinal;
399     qDifffinal = qIfinal - qfinal;
400     nDifffinal = nIfinal - nfinal;
401
402     save(strcat('Results_', currentdate, '.mat'), 'ifinal',
        'nfinal', 'qfinal', 'iIfinal', 'qIfinal', 'nIfinal', 'nDifffinal', ...
403     'qDifffinal', 'iDifffinal', 'rangeOuter', 'rangeInner');
404
405     legendmatrix{phiOuter} = num2str(Vg);
406
407 %     if(bPlotNCharges == 1)    %1: plot number of charges inside the
        substrate
408 %         figure(1);
409 %         %figure('Name','Number of charges at the substrate')
410 %         hold all
411 %         plot(rangeInner, meanchargesfinal(:,phiOuter));
412 %         title('Number of charges at the substrate. ');
413 %         xlabel(plotXLabel);
414 %         ylabel('N');
415 %         h = legend(legendmatrix);
416 %         v = get(h, 'title');
417 %         set(v, 'string', plotZLabel);
418 %         hold off
419 %     end
420
421 if(bPlotDCurrent == 1)    %1: plot drained current
422     figure(2);
423     %figure('Name','Drained Current')
424     hold all
425     plot(rangeInner, ifinal(:,phiOuter));
426     title('Drained Current');
427     xlabel(plotXLabel);
428     ylabel('id');
429     h = legend(legendmatrix);
430     v = get(h, 'title');
431     set(v, 'string', plotZLabel);
432     hold off
433 end
434

```

```

435 if(bPlotICurrent == 1) %1: plot injected current
436     figure(3);
437     %figure('Name','Injected Current.')
438     hold all
439     plot(rangeInner, iIfinal(:,phiOuter));
440     title('Injected Current');
441     xlabel(plotXLabel);
442     ylabel('is');
443     h = legend(legendmatrix);
444     v = get(h,'title');
445     set(v,'string',plotZLabel);
446     hold off
447 end
448
449 if(bPlotDq == 1) %1: plot drained charge
450     figure(4);
451     %figure('Name','Drained Charge.')
452     hold all
453     plot(rangeInner, qfinal(:,phiOuter));
454     title('Drained Charge');
455     xlabel(plotXLabel);
456     ylabel('qd');
457     h = legend(legendmatrix);
458     v = get(h,'title');
459     set(v,'string',plotZLabel);
460     hold off
461 end
462
463 if(bPlotIq == 1) %1: plot injected charge
464     figure(5);
465     %figure('Name','Injected Charge.')
466     hold all
467     plot(rangeInner, qIfinal(:,phiOuter));
468     title('Injected Charge');
469     xlabel(plotXLabel);
470     ylabel('qi');
471     h = legend(legendmatrix);
472     v = get(h,'title');
473     set(v,'string',plotZLabel);
474     hold off
475 end
476
477 if(bPlotDn == 1) %1: plot drained number of charges
478     figure(6);
479     %figure('Name','Drained number of charge carriers')

```

```

480     hold all
481     plot(rangeInner, nfinal(:,phiOuter));
482     title('Drained number of charge carriers');
483     xlabel(plotXLabel);
484     ylabel('N');
485     h = legend(legendmatrix);
486     v = get(h, 'title');
487     set(v, 'string', plotZLabel);
488     hold off
489 end
490
491 if(bPlotIn == 1)    %1: plot injected number of charges
492     figure(7);
493     %figure('Name','Inject number of charge carriers.')
494     hold all
495     plot(rangeInner, nIfinal(:,phiOuter));
496     title('Injected number of charge carriers');
497     xlabel(plotXLabel);
498     ylabel('N');
499     h = legend(legendmatrix);
500     v = get(h, 'title');
501     set(v, 'string', plotZLabel);
502     hold off
503 end
504
505 if(bPlotDiffCurrent == 1) %1: plot difference between injected and
    drained current
506     figure(8);
507     %figure('Name','Injected current - Drained current.')
508     hold all
509     plot(rangeInner, iDifffinal(:,phiOuter));
510     title('Injected current - Drained current');
511     xlabel(plotXLabel);
512     ylabel('idiff');
513     h = legend(legendmatrix);
514     v = get(h, 'title');
515     set(v, 'string', plotZLabel);
516     hold off
517 end
518
519 if(bPlotDiffq == 1)    %1: plot difference between injected and
    drained charge
520     figure(9);
521     %figure('Name','Injected charge - Drained charge.')
522     hold all

```

[illegible]

```

566     end
567 end
568
569     end % for Vd = rangeInner
570 end % for Vs = rangeVs

```

Listing A.2: MATLAB Quellcode zur Erstellung der Transistor-Modellstruktur **boxes** für die Injektion

```

1 function [rect_out contact_coord] =
    boxed_rectangle(x_min,x_max,y_min,y_max,x_quantity,overlap)
2 %BOXED_RECTANGLE Creates a string array representing the coordinates
3 % for a rectangle out of boxes in a regular pattern. This string
4 % array can be used for implementation in Sentaurus Structure
    Editor
5 % using a foreach-loop in a Scheme file.
6 %
7 % X_MIN,X_MAX,Y_MIN,Y_MAX: Coordinates of the rectangle. X_MAX must
8 % be greater than X_MIN and Y_MAX must be greater than Y_MIN.
9 %
10 % X_QUANTITY: Sets the amount of desired adjacent boxes in
11 % x-direction to form the given rectangle.
12 %
13 % OVERLAP: Defines the percentage of overlap in y-direction with
14 % respect to the height of a single box. (Must be between 0 and 1)
15 %
16 %
17 % Return Values:
18 %
19 % RECT_OUT: 5-row cell string representing the 5 lines for
    creation
20 % of the structur itself
21 %
22 % CONTACT_COORD: 4-row cell string consisting of either x-values or
23 % y-values for setting the edges as a contact.
24 % Allocation is as follows:
25 % Row 1: x-values of the top edge
26 % Row 2: y-values of the right edge
27 % Row 3: x-values of the bottom edge
28 % Row 4: y-values of the left edge
29 %
30 % Hint:
31 %     This function is written in a way that rectangles with extent
32 %     in y-direction are created.
33 %     Thus, width (x-direction) << height (y-direction).

```



```

34 % To create a rectangle with extent in x-direction, this
    function
35 % can be called with switched x- and y-coordinates like:
36 %
37 % RECT_OUT = BOXED_RECTANGLE(Y_MIN,Y_MAX,X_MIN,X_MAX, ...)
38 %
39 % When calling the function like this, the assignment of the
40 % entries of the output to the corresponding string for Scheme
41 % must be switched concerning x- and y-coordinates as well.
42
43 % calculation of different geometric paramters
44 width = x_max - x_min;
45 box_width = width / x_quantity;
46 box_height = box_width;
47 height = y_max - y_min;
48
49 % adjusts the height of a box to make the boxes as square as
    possible.
50 % Anyway, as the height of the rectangle usually does not equal an
51 % integer-multiple of boxes, an ideal square is only achieved by
52 % suitable height of the rectangle.
53 y_gap = box_height - 2*overlap*box_height;
54 % one box in y-direction includes the air gap between two boxes
55 y_periodic_element = box_height + y_gap;
56 y_quantity = round(height / y_periodic_element);
57 y_delta = height - y_quantity*y_periodic_element;
58 box_height = box_height + (y_delta / y_quantity)*(box_height /
    y_periodic_element);
59 % refresh of y_gap
60 y_gap = box_height - 2*overlap*box_height;
61
62
63 % defines the overlap as an absolute value (with the new box_height)
64 overlap = overlap * box_height;
65
66 % preallocation of rect_out and contact_coord
67 rect_out = cell(5,1);
68 contact_coord = cell(4,1);
69
70 % place the irregular structure at y_min position before the first
71 % full semiconductor boxes in one row start
72 offset = 0;
73 for x = x_min:box_width:x_max-box_width
74     % offset handling is required to shift every second row in the
75     % x-direction according to the value of overlap

```

```

76     if(offset == 0) % offset == 0
77         rect_out(1) = strcat(rect_out(1), cellstr(' "@p_material@"'));
78         rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
79         rect_out(3) = strcat(rect_out(3), {' '},
            cellstr(num2str(x+box_width)));
80         rect_out(4) = strcat(rect_out(4), {' '},
            cellstr(num2str(y_min)));
81         rect_out(5) = strcat(rect_out(5), {' '},
            cellstr(num2str(y_min+0.5*box_height)));
82
83         rect_out(1) = strcat(rect_out(1), cellstr(' "Vacuum"'));
84         rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
85         rect_out(3) = strcat(rect_out(3), {' '},
            cellstr(num2str(x+box_width)));
86         rect_out(4) = strcat(rect_out(4), {' '},
            cellstr(num2str(y_min+0.5*box_height)));
87         rect_out(5) = strcat(rect_out(5), {' '},
            cellstr(num2str(y_min+0.5*box_height+y_gap)));
88
89
90     % add contact coordinates for right part of rectangle
91     if(x == x_max-box_width)
92         contact_coord(2) = strcat(contact_coord(2), {' '},
            cellstr(num2str(y_min+0.25*box_height)));
93         contact_coord(2) = strcat(contact_coord(2), {' '},
            cellstr(num2str(y_min+0.5*box_height+0.5*y_gap)));
94     end
95
96     % add contact coordinates for left part of rectangle
97     if(x==x_min)
98         contact_coord(4) = strcat(contact_coord(4), {' '},
            cellstr(num2str(y_min+0.25*box_height)));
99         contact_coord(4) = strcat(contact_coord(4), {' '},
            cellstr(num2str(y_min+0.5*box_height+0.5*y_gap)));
100    end
101
102    % set offset
103    offset = 1;
104
105    else % offset == 1
106        rect_out(1) = strcat(rect_out(1), cellstr(' "Vacuum"'));
107        rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
108        rect_out(3) = strcat(rect_out(3), {' '},
            cellstr(num2str(x+box_width)));

```

```

109     rect_out(4) = strcat(rect_out(4), {' '},
        cellstr(num2str(y_min)));
110     rect_out(5) = strcat(rect_out(5), {' '},
        cellstr(num2str(y_min+0.5*box_height-overlap)));
111
112     % add contact coordinates for right part of rectangle
113     if(x == x_max-box_width)
114         contact_coord(2) = strcat(contact_coord(2), {' '},
            cellstr(num2str(y_min+0.5*(0.5*box_height-overlap))));
115     end
116
117     % add contact coordinates for left part of rectangle
118     if(x==x_min)
119         contact_coord(4) = strcat(contact_coord(4), {' '},
            cellstr(num2str(y_min+0.5*(0.5*box_height-overlap))));
120     end
121
122     % reset offset
123     offset = 0;
124 end
125 % add contact coordinates for top part of rectangle
126 contact_coord(1) = strcat(contact_coord(1), {' '},
    cellstr(num2str(x+0.5*box_width)));
127 end
128
129 % creation of the boxes in the rectangle
130 y_step = 2*box_height - 2*overlap;
131 for
    y=y_min+(1/2)*box_height-overlap:y_step:y_max-(3/2)*box_height-y_gap
132     % offset handling is required to shift every second row in the
133     % x-direction according to the value of overlap
134     offset = 1;
135     for x=x_min:box_width:x_max-box_width
136         if(offset)
137             y = y + box_height - overlap;
138             offset = 0;
139         else % if offset == 0
140             % it is required to reset the shift that was done to the
141             % loop counter when no offset is demanded
142             if(x ~= x_min)
143                 y = y - box_height + overlap;
144             end
145             offset = 1;
146         end
147     % fills the output string array

```

```

148     rect_out(1) = strcat(rect_out(1), cellstr('@p_material@'));
149     rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
150     rect_out(3) = strcat(rect_out(3), {' '},
        cellstr(num2str(x+box_width)));
151     rect_out(4) = strcat(rect_out(4), {' '}, cellstr(num2str(y)));
152     rect_out(5) = strcat(rect_out(5), {' '},
        cellstr(num2str(y+box_height)));
153
154     % fills the gaps with vacuum
155     rect_out(1) = strcat(rect_out(1), cellstr(' Vacuum'));
156     rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
157     rect_out(3) = strcat(rect_out(3), {' '},
        cellstr(num2str(x+box_width)));
158     rect_out(4) = strcat(rect_out(4), {' '},
        cellstr(num2str(y+box_height)));
159     rect_out(5) = strcat(rect_out(5), {' '},
        cellstr(num2str(y+box_height+y_gap)));
160
161     % add contact coordinates for right part of rectangle
162     if(x==(x_max - box_width))
163         contact_coord(2) = strcat(contact_coord(2), {' '},
            cellstr(num2str(y+0.5*box_height)));
164         contact_coord(2) = strcat(contact_coord(2), {' '},
            cellstr(num2str(y+box_height+0.5*y_gap)));
165     end
166
167     % add contact coordinates for left part of rectangle
168     if(x==x_min)
169         contact_coord(4) = strcat(contact_coord(4), {' '},
            cellstr(num2str(y+0.5*box_height)));
170         contact_coord(4) = strcat(contact_coord(4), {' '},
            cellstr(num2str(y+box_height+0.5*y_gap)));
171     end
172 end
173 end
174
175 % place the irregular structure at y_max position after the last
176 % full semiconductor-gap sequence
177 offset = 0;
178 for x = x_min:box_width:x_max-box_width
179     if(offset == 0) % offset == 0
180         rect_out(1) = strcat(rect_out(1), cellstr('@p_material@'));
181         rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
182         rect_out(3) = strcat(rect_out(3), {' '},
            cellstr(num2str(x+box_width)));

```

```

183     rect_out(4) = strcat(rect_out(4), {' '},
184         cellstr(num2str(y_max-0.5*box_height)));
185 rect_out(5) = strcat(rect_out(5), {' '},
186     cellstr(num2str(y_max)));
187 % add contact coordinates for right part of rectangle
188 if(x == x_max-box_width)
189     contact_coord(2) = strcat(contact_coord(2), {' '},
190         cellstr(num2str(y_max-0.25*box_height)));
191 end
192 % add contact coordinates for left part of rectangle
193 if(x == x_min)
194     contact_coord(4) = strcat(contact_coord(4), {' '},
195         cellstr(num2str(y_max-0.25*box_height)));
196 end
197 % set offset
198 offset = 1;
199 else % offset == 1
200     rect_out(1) = strcat(rect_out(1), cellstr(' "@p_material@"'));
201     rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
202     rect_out(3) = strcat(rect_out(3), {' '},
203         cellstr(num2str(x+box_width)));
204     rect_out(4) = strcat(rect_out(4), {' '},
205         cellstr(num2str(y_max-1.5*box_height+overlap)));
206     rect_out(5) = strcat(rect_out(5), {' '},
207         cellstr(num2str(y_max-0.5*box_height+overlap)));
208     rect_out(1) = strcat(rect_out(1), cellstr(' "Vacuum"'));
209     rect_out(2) = strcat(rect_out(2), {' '}, cellstr(num2str(x)));
210     rect_out(3) = strcat(rect_out(3), {' '},
211         cellstr(num2str(x+box_width)));
212     rect_out(4) = strcat(rect_out(4), {' '},
213         cellstr(num2str(y_max-0.5*box_height+overlap)));
214     rect_out(5) = strcat(rect_out(5), {' '},
215         cellstr(num2str(y_max)));
216 % add contact coordinates for right part of rectangle
217 if(x == x_max-box_width)
218     contact_coord(2) = strcat(contact_coord(2), {' '},
219         cellstr(num2str(y_max-box_height+overlap)));
220     contact_coord(2) = strcat(contact_coord(2), {' '},
221         cellstr(num2str(y_max-0.5*(0.5*box_height+overlap))));
222 end
223

```

```
216     % add contact coordinates for left part of rectangle
217     if(x == x_min)
218         contact_coord(4) = strcat(contact_coord(4), {' '},
219                                     cellstr(num2str(y_max-box_height+overlap)));
220         contact_coord(4) = strcat(contact_coord(4), {' '},
221                                     cellstr(num2str(y_max-0.5*(0.5*box_height+overlap))));
222     end
223
224     % reset offset
225     offset = 0;
226 end
227
228     % add contact coordinates for bottom part of rectangle
229     contact_coord(3) = strcat(contact_coord(3), {' '},
230                                 cellstr(num2str(x+0.5*box_width)));
231 end
```

## Anhang B

# Sentaurus Code: Sentaurus SDEVICE Simulation

Listing B.1: Sentaurus Quellcode für die SDEVICE Simulation zur Erstellung der für die Injektion untersuchten Transistormodellstrukturen

```
1 (sde:clear)
2 (display "Program Start") (newline)
3 (define L_half (/ @L@ 2)) ;; for L=5
4 (define t_SC 0.035) ;; thickness of semiconductor
5 (define t_lowmu 0.01) ;; thickness of lowmu-layer
6 (define t_contact 0.1)
7 (define t_spacer 0.05)
8 (define x_rim (+ 100 L_half)) ;; 102.5
9 (define x_mid L_half) ;; 2.5
10 (define x_cent (- L_half t_SC)) ;; 2.465
11 (define x_lowmu (- L_half t_lowmu)) ;; 2.49
12 (define y_top 0.9)
13 (define x_metal_center (+ 50 L_half)) ;; 52.5: horizontal center of
    S/D for setting contact
14
15 (define x1_refwin_horiz (+ L_half (+ t_contact t_SC)))
16 (define x2_refwin_horiz L_half)
17 (define x1_refwin_vertic (- L_half t_SC))
18 (define x2_refwin_vertic L_half)
19 (define y1_refwin_horiz t_contact)
20 (define y2_refwin_horiz (+ t_contact t_SC))
21 (define y1_refwin_vertic 0)
22 (define y2_refwin_vertic (+ t_contact t_SC))
23
24 (define box_width 0.0175)
25 (define region_counter 0)
```

```

26 (define layer_percentage (/ @layer_percentage@ 100)) ;; defines the
    thickness of the n-layer in the channel
27 (define pn_interface (- 0.035 (* 0.035 layer_percentage)))
28 (define x_channel x_cent)
29
30 ;; ##### if morphology is boxes, non-boxed channel
    must be a bit shorter #####
31 (if (= @morphology@ 3) ;; boxes
32 (begin
33 (set! x_channel (- x_cent 0.135))
34 )
35 )
36
37 ;; ##### create the channel part of the semiconductor
    (including the n-layer) #####
38 (if (not (= layer_percentage 100))
39 (begin
40 (sdegeo:create-rectangle
41 (position (- x_channel) 0 0.0)
42 (position x_channel pn_interface 0.0) "@p_material@" "p_channel")
43 )
44 )
45
46 (if (not (= layer_percentage 0))
47 (begin
48 (sdegeo:create-rectangle
49 (position (- x_channel) pn_interface 0.0)
50 (position x_channel 0.035 0.0) "P3HT_lowmu" "n_region")
51 )
52 )
53
54 ;; ##### definition of the contacts
    #####
55 (sdegeo:define-contact-set "source" 4 (color:rgb 1 0 0) "##" )
56 (sdegeo:define-contact-set "drain" 4 (color:rgb 0 1 0) "##" )
57 (sdegeo:define-contact-set "gate" 4 (color:rgb 0 0 1) "##" )
58
59 ;; ##### definition of the doping profiles
    #####
60 (sdedr:define-constant-profile "ConstantProfileDefinition_1"
    "BoronActiveConcentration" @p_doping@)
61 (sdedr:define-constant-profile "ConstantProfileDefinition_2"
    "ArsenicActiveConcentration" @n_doping@)
62
63

```



```

64 ;; ##### creates the varying structure depending on
    the parameter 'morphology' #####
65 (cond
66 ((= @morphology@ 0) ;; pure
67 (begin
68
69 (define MATERIALS (list "InsulatorX" "InsulatorX" "@p_material@"
    "@p_material@" "@p_material@" "@p_material@" ))
70 (define X_from (list (- x_rim) (- x_cent) (- x_rim) x_mid (-
    x_mid) x_cent ))
71 (define X_to (list x_rim x_cent (- x_mid) x_rim (- x_cent)
    x_mid ))
72 (define Y_from (list 0.135 0.035 0.1 0.1 0 0 ))
73 (define Y_to (list 0.9 0.135 0.135 0.135 0.135 0.135 ))
74 (define REGIONS (list "1" "2" "3" "4" "5" "6" ))
75
76 )
77 )
78 ((= @morphology@ 1) ;; lowmu
79 (begin
80
81 (define MATERIALS (list "InsulatorX" "InsulatorX" "@p_material@"
    "@p_material@" "@p_material@" "@p_material@" "P3HT_lowmu"
    "P3HT_lowmu" "P3HT_lowmu" "P3HT_lowmu"))
82 (define X_from (list (- x_rim) (- x_cent) (- x_rim) x_lowmu (-
    x_lowmu) x_cent (- x_rim) x_mid (- x_mid) x_lowmu ))
83 (define X_to (list x_rim x_cent (- x_lowmu) x_rim (- x_cent)
    x_lowmu (- x_mid) x_rim (- x_lowmu) x_mid ))
84 (define Y_from (list 0.135 0.035 0.11 0.11 0 0 0.1
    0.1 0 0 ))
85 (define Y_to (list 0.9 0.135 0.135 0.135 0.135 0.135
    0.11 0.11 0.11 0.11 ))
86 (define REGIONS (list "1" "2" "3" "4" "5" "6"
    "lowmu1" "lowmu2" "lowmu3" "lowmu4" ))
87
88 )
89 )
90 ((= @morphology@ 2) ;; SiO2
91 (begin
92
93 (define MATERIALS (list "InsulatorX" "InsulatorX" "@p_material@"
    "@p_material@" "@p_material@" "@p_material@" "SiO2" "SiO2" ))
94 (define X_from (list (- x_rim) (- x_cent) (- x_rim) x_cent (-
    x_mid) x_cent (- x_rim) x_mid ))

```

```

95 (define X_to (list x_rim x_cent (- x_cent) x_rim (- x_cent)
    x_mid (- x_mid) x_rim ))
96 (define Y_from (list 0.185 0.035 0.15 0.15 0 0 0.1
    0.1 ))
97 (define Y_to (list 0.95 0.185 0.185 0.185 0.185 0.185
    0.15 0.15 ))
98 (define REGIONS (list "1" "2" "3" "4" "5" "6" "7"
    "8" ))
99
100 (set! y_top 0.95)
101 (set! y1_refwin_horiz (+ y1_refwin_horiz t_spacer))
102 (set! y2_refwin_horiz (+ y2_refwin_horiz t_spacer))
103
104 )
105 )
106 ((= @morphology@ 3) ;; boxes
107 (begin
108
109 (define MATERIALS (list "InsulatorX" "InsulatorX" ))
110 (define X_from (list (- x_rim) (- x_cent) ))
111 (define X_to (list x_rim x_cent ))
112 (define Y_from (list 0.135 0.035 ))
113 (define Y_to (list 0.9 0.135 ))
114 (define REGIONS (list "1" "2" ))
115
116 (for-each
117 (lambda (MATERIAL curX_from curX_to curY_from curY_to) ; Names of
    local variables
118 (begin ; Body of the loop
119 (define REGION (string-append "region_" (number->string
    region_counter)))
120 (sdegeo:create-rectangle
121 (position curX_from curY_from 0.0)
122 (position curX_to curY_to 0.0) MATERIAL REGION)
123 (set! region_counter (+ region_counter 1))
124 )
125 ) MATERIALS X_from X_to Y_from Y_to ; Lists
126 )
127
128 (define box_MATERIALS (list "@p_material@" "Vacuum" "Vacuum"
    "@p_material@"))
129 (define box_X_from (list 49.965 49.965 49.9767 49.9883 ))
130 (define box_X_to (list 49.9767 49.9767 49.9883 50 50 ))
131 (define box_Y_from (list 0 0.005625 0 0 ))
132 (define box_Y_to (list 0.005625 0.01125 0.0028125 0.005625 ))

```

```

133 (define y_vdrain (list 0.0028125 0.0084375 0.016875 0.025312))
134 (define x_hdrain (list 50.0028 50.0084 50.0169 50.0253))
135 (define y_vsource (list 0.0028125 0.0084375 0.016875 0.025312))
136 (define x_hsource (list -50.1322 -50.1266 -50.1181 -50.1097))
137
138 (for-each
139 (lambda (MATERIAL curX_from curX_to curY_from curY_to) ; Names of
    local variables
140 (begin ; Body of the loop
141 (define REGION (string-append "region_" (number->string
    region_counter)))
142 (sdegeo:create-rectangle
143 (position curX_from curY_from 0.0)
144 (position curX_to curY_to 0.0) MATERIAL REGION)
145 (set! region_counter (+ region_counter 1))
146 )
147 ) box_MATERIALS box_X_from box_X_to box_Y_from box_Y_to ; Lists
148 )
149
150 (sdegeo:set-current-contact-set "drain")
151 ; vertical drain
152 (for-each
153 (lambda (cur_y_vdrain)
154 (begin
155 (sdegeo:set-contact-edges (list (car (find-edge-id (position x_mid
    cur_y_vdrain 0)))) "drain")
156 )
157 ) y_vdrain
158 )
159
160 ; horizontal drain
161 (for-each
162 (lambda (cur_x_hdrain)
163 (begin
164 (sdegeo:set-contact-edges (list (car (find-edge-id (position
    cur_x_hdrain 0.1 0)))) "drain")
165 )
166 ) x_hdrain
167 )
168
169 (render:rebuild)
170 (sdegeo:set-current-contact-set "source")
171 (for-each
172 (lambda (cur_y_vsource)
173 (begin

```

```

174 (sdegeo:set-contact-edges (list (car (find-edge-id (position (- x_mid)
    cur_y_vsource 0)))) "source")
175 )
176 ) y_vsource
177 )
178
179 (for-each
180 (lambda (cur_x_hsource)
181 (begin
182 (sdegeo:set-contact-edges (list (car (find-edge-id (position
    cur_x_hsource 0.1 0)))) "source")
183 )
184 ) x_hsource
185 )
186
187 )
188 )
189
190 ((= @morphology@ 4) ;; InsulatorX
191 (begin
192
193 (define MATERIALS (list "InsulatorX" "InsulatorX" "@p_material@"
    "@p_material@" "@p_material@" "@p_material@" "InsulatorX"
    "InsulatorX" ))
194 (define X_from (list (- x_rim) (- x_cent) (- x_rim) x_cent (-
    x_mid) x_cent (- x_rim) x_mid ))
195 (define X_to (list x_rim x_cent (- x_cent) x_rim (- x_cent)
    x_mid (- x_mid) x_rim ))
196 (define Y_from (list 0.185 0.035 0.15 0.15 0 0 0.1
    0.1 ))
197 (define Y_to (list 0.95 0.185 0.185 0.185 0.185 0.185
    0.15 0.15 ))
198 (define REGIONS (list "1" "2" "3" "4" "5" "6" "7"
    "8" ))
199
200 (set! y_top 0.95)
201 (set! y1_refwin_horiz (+ y1_refwin_horiz t_spacer))
202 (set! y2_refwin_horiz (+ y2_refwin_horiz t_spacer))
203
204 )
205 )
206
207 (else
208 (begin
209 (display "Morphology-value is invalid!") (newline)

```

```

210 )
211 ))
212
213 ;; ##### draws the previously defined regions (except
    for morphology == 'boxes') #####
214 (if (not (= @morphology@ 3)) ;; not boxes
215 (for-each
216 (lambda (MATERIAL curX_from curX_to curY_from curY_to REGION) ; Names
    of local variables
217 (begin ; Body of the loop
218 (sdegeo:create-rectangle
219 (position curX_from curY_from 0.0)
220 (position curX_to curY_to 0.0) MATERIAL (string-append "region_"
    REGION))
221 )
222 ) MATERIALS X_from X_to Y_from Y_to REGIONS ; Lists
223 )
224 )
225
226 (render:rebuild)
227 (sdegeo:set-current-contact-set "drain")
228 ; set the drain-contact for non-boxed semiconductor
229 (sdegeo:set-contact-edges (list (car (find-edge-id (position 99 0.1
    0)))) "drain")
230 (sdegeo:set-contact-edges (list (car (find-edge-id (position x_mid
    0.05 0)))) "drain")
231
232 (render:rebuild)
233 (sdegeo:set-current-contact-set "source")
234 ; set the source-contact for non-boxed semiconductor
235 (sdegeo:set-contact-edges (list (car (find-edge-id (position -99 0.1
    0)))) "source")
236 (sdegeo:set-contact-edges (list (car (find-edge-id (position (- x_mid
    0.05 0)))) "source")
237
238 (render:rebuild)
239 (sdegeo:set-current-contact-set "gate")
240 (sdegeo:set-contact-edges (list (car (find-edge-id (position 0.0 y_top
    0)))) "gate")
241
242 (render:rebuild)
243 (sdedr:define-constant-profile-material "ConstantProfilePlacement_1"
    "ConstantProfileDefinition_1" "@p_material@")
244
245 (if (= @morphology@ 1) ;; lowmu

```

```

246 (begin
247 (sdedr:define-constant-profile-region "ConstantProfilePlacement_2"
    "ConstantProfileDefinition_1" "region_lowmu1")
248 (sdedr:define-constant-profile-region "ConstantProfilePlacement_3"
    "ConstantProfileDefinition_1" "region_lowmu2")
249 (sdedr:define-constant-profile-region "ConstantProfilePlacement_4"
    "ConstantProfileDefinition_1" "region_lowmu3")
250 (sdedr:define-constant-profile-region "ConstantProfilePlacement_5"
    "ConstantProfileDefinition_1" "region_lowmu4")
251 )
252 )
253
254 (sdedr:define-constant-profile-region "ConstantProfilePlacement_6"
    "ConstantProfileDefinition_2" "n_region")
255
256 ;; Place the refinements for source and drain
257 (sdedr:define-refeval-window "RefWinSourceHoriz" "Rectangle"
    (position (- x1_refwin_horiz) y1_refwin_horiz 0.0)
258 (position (- x2_refwin_horiz) y2_refwin_horiz 0.0) )
259 (sdedr:define-refeval-window "RefWinDrainHoriz" "Rectangle" (position
    x1_refwin_horiz y1_refwin_horiz 0.0)
260 (position x2_refwin_horiz y2_refwin_horiz 0.0) )
261 (sdedr:define-refeval-window "RefWinSourceVertic" "Rectangle"
    (position (- x1_refwin_vertic) y1_refwin_vertic 0.0)
262 (position (- x2_refwin_vertic) y2_refwin_vertic 0.0) )
263 (sdedr:define-refeval-window "RefWinDrainVertic" "Rectangle"
    (position x1_refwin_vertic y1_refwin_vertic 0.0)
264 (position x2_refwin_vertic y2_refwin_vertic 0.0) )
265
266 (sdedr:define-refinement-size "RefinementDefinition_1" 0.002 0.002
    0.002 0.002 )
267
268 (sdedr:define-refinement-placement "RefPlacementSourceHoriz"
    "RefinementDefinition_1" "RefWinSourceHoriz" )
269 (sdedr:define-refinement-placement "RefPlacementDrainHoriz"
    "RefinementDefinition_1" "RefWinDrainHoriz" )
270 (sdedr:define-refinement-placement "RefPlacementSourceVertic"
    "RefinementDefinition_1" "RefWinSourceVertic" )
271 (sdedr:define-refinement-placement "RefPlacementDrainVertic"
    "RefinementDefinition_1" "RefWinDrainVertic" )
272
273 ;; Mesh
274 (sde:set-meshing-command "snmesh -t -ten-dfise-out")
275 (sdedr:append-cmd-file "")

```

```

276 (sde:build-mesh "snmesh" "-t -gen-tdr-out"
    "./structures/morph_@morphology@/L@L@_@p_material@_Bor@p_doping@_As
277 @n_doping@_P3HT_lowmu@layer_percentage@p")
278 (sde:xshow-material "nomat")
279
280 (sde:save-model
    "./structures/morph_@morphology@/L@L@_@p_material@_Bor@p_doping@_As
281 @n_doping@_P3HT_lowmu@layer_percentage@p")

```

**Listing B.2: Sentaurus Quellcode für die SDEVICE Simulation zur Durchführung der Transfer-Line-Methode**

```

1 # TLM-File
2 File {
3   * input files:
4   Grid= "./structures/morph_@morphology@/L@L@_@p_material@_Bor@p_doping
5   @_As@n_doping@_P3HT_lowmu@layer_percentage@p_msh.tdr"
6   * output files:
7   Plot=
8     "sim_results/TLM/morph_@morphology@/L@L@_@p_material@_Bor@p_doping
9   @_As@n_doping@_P3HT_lowmu@layer_percentage@p_plt.tdr"
10  Current="sim_results/TLM/morph_@morphology@/L@L@_@p_material@_Bor@p_doping
11  @_As@n_doping@_P3HT_lowmu@layer_percentage@p_cur.plt"
12  Output=
13    "sim_results/TLM/morph_@morphology@/L@L@_@p_material@_Bor@p_doping
14  @_As@n_doping@_P3HT_lowmu@layer_percentage@p_out.log"
15 }
16
17 Electrode {
18   { Name="gate" Voltage=0.0 }
19   { Name="source" Voltage=0.0 Schottky Barrier=0.7}
20   { Name="drain" Voltage=0.0 Schottky Barrier=0.7}
21   * { Name="bulk" Voltage=0.0 }
22 }
23
24 Physics {
25   Mobility( DopingDep HighFieldsat Enormal )
26   EffectiveIntrinsicDensity( OldSlotboom )
27   DefaultParametersFromFile
28   EffectiveMass (GaussianDOS)
29 }
30
31 Plot {
32   eDensity hDensity eCurrent hCurrent eCurrent/Vector hCurrent/Vector

```

```

32 Potential SpaceCharge ElectricField ElectricField/Vector
    ElectricField/Element
33 eMobility hMobility eVelocity hVelocity
34 Doping DonorConcentration AcceptorConcentration
35 hTrappedCharge eTrappedCharge
36 }
37
38 Math {
39   Extrapolate
40   RelErrControl
41   Number_of_Threads = maximum
42 }
43
44 Solve {
45   #-initial solution:
46   Poisson
47   Coupled { Poisson Electron Hole}
48
49   #-ramp to initial gate bias
50 # Quasistationary (MaxStep=0.1 InitialStep=0.01
51 # Goal {Name="gate" Voltage=-38})
52 # {Coupled {Poisson Electron Hole}}
53
54 Quasistationary (MaxStep=1e-2 InitialStep=1e-7 MinStep=1e-9
55   Goal {Name="drain" Voltage=@V_D@})
56   {Coupled {Poisson Electron Hole}}
57
58 # Create Transfer Characteristic
59 NewCurrentFile = ""
60
61 Quasistationary (MaxStep=1e-2 InitialStep=1e-4
62   Goal {Name="gate" Voltage=@V_G@})
63   {Coupled {Poisson Electron Hole}}
64
65 }

```

Listing B.3: Sentaurus Quellcode der SDEVICE Simulation des Leckstroms für ein durch einen leitenden Isolator modelliertes Dielektrikum

```

1 File {
2   * input files:
3   Grid= "L5_E11_msh.tdr"
4   *Parameter= "sdevice.par"
5   * output files:
6   Plot= "Transfer/Transfer_CondInsulator.tdr"

```



```

7   Current="Transfer/Transfer_CondInsulator.plt"
8   Output= "Transfer/Transfer_CondInsulator.log"
9 }
10
11 Electrode {
12   { Name="gate"   Voltage=0.0 }
13   { Name="source" Voltage=0.0 Schottky Barrier=0.7}
14   { Name="drain"  Voltage=0.0 Schottky Barrier=0.7}
15 }
16
17 Physics {
18   Mobility( DopingDep HighFieldsat Enormal )
19   EffectiveIntrinsicDensity( OldSlotboom )
20   DefaultParametersFromFile
21   EffectiveMass(GaussianDOS)
22 }
23
24 Physics(Material="InsulatorX") {
25   CondInsulator
26 }
27
28 Plot {
29   eDensity hDensity eCurrent hCurrent
30   Potential SpaceCharge ElectricField
31   eMobility hMobility eVelocity hVelocity
32   Doping DonorConcentration AcceptorConcentration
33   hTrappedCharge eTrappedCharge
34 }
35
36 Math {
37   Method=ILS
38   Iterations=10
39   Number_of_Threads = maximum
40   Number_of_Solver_Threads = maximum
41 }
42
43 Solve {
44   #-initial solution:
45     Poisson
46     Coupled { Poisson Electron Hole CondInsulator}
47
48   Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
49     Goal {Name="gate" Voltage=20})
50     {Coupled {Poisson Electron Hole CondInsulator}}
51

```

```

52
53 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
54   Goal {Name="drain" Voltage=0})
55 {Coupled {Poisson Electron Hole }}
56 Save(FilePreFix="drain0")
57
58
59 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
60   Goal {Name="drain" Voltage=-5})
61 {Coupled {Poisson Electron Hole }}
62 Save(FilePreFix="drain-05")
63
64
65 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
66   Goal {Name="drain" Voltage=-15})
67 {Coupled {Poisson Electron Hole }}
68 Save(FilePreFix="drain-15")
69
70
71 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
72   Goal {Name="drain" Voltage=-40})
73 {Coupled {Poisson Electron Hole }}
74 Save(FilePreFix="drain-40")
75 #
76 #
77   Load(FilePrefix="drain0")
78   NewCurrentPrefix="drain0_"
79 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
80   Goal {Name="gate" Voltage=-40})
81   {Coupled {Poisson Electron Hole }}
82 CurrentPlot (Time=(range=(0 1)))
83
84
85   Load(FilePrefix="drain-05")
86   NewCurrentPrefix="drain-05_"
87 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
88   Goal {Name="gate" Voltage=-40})
89   {Coupled {Poisson Electron Hole }}
90 CurrentPlot (Time=(range=(0 1)))
91
92
93   Load(FilePrefix="drain-15")
94   NewCurrentPrefix="drain-15_"
95 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
96   Goal {Name="gate" Voltage=-40})

```

```

97         {Coupled {Poisson Electron Hole }}
98 CurrentPlot (Time=(range=(0 1)))
99
100
101     Load(FilePrefix="drain-40")
102     NewCurrentPrefix="drain-40_"
103 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
104     Goal {Name="gate" Voltage=-40})
105         {Coupled {Poisson Electron Hole }}
106 CurrentPlot (Time=(range=(0 1)))
107
108 }

```

**Listing B.4:** Sentaurus Quellcode der SDEVICE Simulation des Leckstroms für ein durch einen schlecht leitenden Halbleiter modelliertes Dielektrikum

```

1 File {
2   * input files:
3   Grid= "L5_E11_msh.tdr"
4   *Parameter= "sdevice.par"
5   * output files:
6   Plot= "Transfer/Transfer.tdr"
7   Current="Transfer/Transfer.plt"
8   Output= "Transfer/Transfer.log"
9 }
10
11 Electrode {
12   { Name="gate" Voltage=0.0 Schottky Barrier=0.6}
13   { Name="source" Voltage=0.0 Schottky Barrier=1.2}
14   { Name="drain" Voltage=0.0 Schottky Barrier=1.2}
15 }
16
17 Physics {
18   Mobility( DopingDep HighFieldsat Enormal )
19   EffectiveIntrinsicDensity( OldSlotboom )
20   DefaultParametersFromFile
21   *Insert = "InsulatorXpunkt.par"
22   EffectiveMass(GaussianDOS)
23 }
24
25
26 Plot {
27   eDensity hDensity eCurrent hCurrent
28   Potential SpaceCharge ElectricField
29   eMobility hMobility eVelocity hVelocity

```

```

30 Doping DonorConcentration AcceptorConcentration
31 hTrappedCharge eTrappedCharge
32 }
33
34 Math {
35 Method=ILS
36
37 Iterations=10
38 Number_of_Threads = 16
39 Number_of_Solver_Threads = 20
40 *Extrapolate
41 *RelErrControl
42 *Number_of_Threads = maximum
43 }
44
45 Solve {
46 #-initial solution:
47 Poisson
48 Coupled { Poisson Electron Hole }
49
50 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
51 Goal {Name="gate" Voltage=200})
52 {Coupled {Poisson Electron Hole }}
53
54 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
55 Goal {Name="drain" Voltage=0})
56 {Coupled {Poisson Electron Hole }}
57 Save(FilePreFix="drain0")
58
59
60 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
61 Goal {Name="drain" Voltage=-5})
62 {Coupled {Poisson Electron Hole }}
63 Save(FilePreFix="drain-05")
64
65
66 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
67 Goal {Name="drain" Voltage=-15})
68 {Coupled {Poisson Electron Hole }}
69 Save(FilePreFix="drain-15")
70
71
72 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
73 Goal {Name="drain" Voltage=-40})
74 {Coupled {Poisson Electron Hole }}

```

```

75 Save(FilePreFix="drain-40")
76 #
77 #
78 Load(FilePrefix="drain0")
79 NewCurrentPrefix="drain0_"
80 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
81   Goal {Name="gate" Voltage=-200})
82   {Coupled {Poisson Electron Hole }}
83 CurrentPlot (Time=(range=(0 1)))
84
85
86 Load(FilePrefix="drain-05")
87 NewCurrentPrefix="drain-05_"
88 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
89   Goal {Name="gate" Voltage=-200})
90   {Coupled {Poisson Electron Hole }}
91 CurrentPlot (Time=(range=(0 1)))
92
93
94 Load(FilePrefix="drain-15")
95 NewCurrentPrefix="drain-15_"
96 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
97   Goal {Name="gate" Voltage=-200})
98   {Coupled {Poisson Electron Hole }}
99 CurrentPlot (Time=(range=(0 1)))
100
101
102 Load(FilePrefix="drain-40")
103 NewCurrentPrefix="drain-40_"
104 Quasistationary (MaxStep=1E-1 InitialStep=1E-3 MinStep=1E-19
105   Goal {Name="gate" Voltage=-200})
106   {Coupled {Poisson Electron Hole }}
107 CurrentPlot (Time=(range=(0 1)))
108 }

```



# Liste eigener Publikationen

## Veröffentlichung in peer-reviewed Journalen

S. Ganz, S. Pankalla, H. M. Sauer, M. Glesner, and E. Dörsam. Printing technique dependent charge carrier velocity distribution in organic thin film transistors. *Proceedings of the SPIE Organic Photonics + Electronics*, 8831:139, 2013.

S. Pankalla, R. Ganesan, D. Spiehl, H.M. Sauer, E. Dörsam, and M. Glesner. Mass characterisation of organic transistors and monte-carlo circuit simulation. *Organic Electronics*, 14:676–681, 2013.

S. Pankalla, S. Ganz, S. Spiehl, E. Dörsam, and M. Glesner. Organic thin film transistors for circuits in a foundry: process, charge transport phenomena and device library. *Proceedings of the SPIE Organic Photonics + Electronics*, 8831:109, 2013.

S. Pankalla and M. Glesner. An analytical expression of electric potential and field of organic thin film transistors. *Journal of Physics: Conference Series*, 345:012012, 2012.

S. Pankalla, D. Spiehl, H. M. Sauer, E. Dörsam, and M. Glesner. Improved contact resistance and intra-die variaion in organic thin film transistors. *Applied Physic Letters*, 102:173303, 2013.

D. Spiehl, S. Pankalla, M. Glesner, and E. Dörsam. Analysis of the mobility of printed organic p-channel transistors depending on the transistor geometry and orientation. *Journal of Physics: Conference Series*, 345:012013, 2012.

## Auszeichnungen

D. Spiehl, S. Pankalla, M. Glesner, and E. Dörsam. 2. Preis bei IV International Competition of Scientific Papers in Nanotechnology for Young Researchers, Moskau. 2011.

## In Anspruch genommene Erfindungsmeldungen

S. Pankalla and M. Glesner. Automatisierter Reihenmessplatz zur flexiblen und modularen Massencharakterisierung organischer elektronischer Bauelemente, 2013.

## Buchbeiträge

S. Pankalla, R. Ganesan, J. Krumm, K. Ludwig, and Manfred Glesner. *Ein Smart Label zum Auslesen und Übertragen von Temperaturwerten basierend auf organischer Elektronik*. Eugen G. Leuze Verlag KG, 2011.

## Konferenzvorträge

S. Ganz, S. Pankalla, M. Glesner, and E. Dörsam. Process dependent leakage currents in printed organic dielectric layers. In *Proceedings of the 9th International Conference on Organic Electronics ICOE*, 2013.

S. Pankalla, R. Ganesan, J. Krumm, K. Ludwig, and Manfred Glesner. Ein Smart Label zum Auslesen und Übertragen von Temperaturwerten basierend auf organischer Elektronik. In *Proceedings MikroSystemTechnik Kongress*, 2011.

S. Pankalla, S. Ganz, S. Spiehl, E. Dörsam, and M. Glesner. Organic thin film transistors for circuits in a foundry: process, charge transport phenomena and device library. *Proceedings of the SPIE Organic Photonics + Electronics*, 2013.

S. Pankalla and M. Glesner. Monte-carlo charge transport simulation in organic transistors based on analytical potential profile. In *Proceedings of the 9th International Conference on Organic Electronics ICOE 2013*, 2013.

S. Pankalla and M. Glesner. An analytical expression of electric potential and field of organic thin film transistors. In *RusNanoTech 2011 Moskau*, 2011.

S. Pankalla, S. Hengen, D. Spiehl, E. Dörsam, J. Giehl, and M. Glesner. Threshold voltage and mobility fluctuations of printed organic transistors. In *Proceedings of the 4th International Symposium on Flexible Organic Electronics ISFOE11, Thessaloniki*, page 97, 2011.

S. Pankalla, T. Hollstein, and M. Glesner. Design of a reference topology for printable transistors, capacitors and diodes used in organic circuits and applications, proceedings of the lope-c, frankfurt, 2010. In *Proceedings of the Lope-C, Frankfurt*, 2010.

Sebastian Pankalla, T. Hollstein, J. Krumm, and M. Glesner. Static modelling of organic transistors, inverters and ring oscillators for circuit design. In *Proceedings of the 6th International Conference on Organic Electronics ICOE, Paris*, 2010.

S. Pankalla, D. Spiehl, E. Dörsam, and M. Glesner. Variation of electrical parameters of organic thin film transistors as a function of semiconductor layer thickness. In *Book of Abstracts 2nd Winterschool of Organic Electronics, Heidelberg*, pages PB-1, 2012.



# Literaturverzeichnis

- [1] NW. Ashcroft and ND. Mermin. *Solid state physics*. Holt, New York, 1976.
- [2] H. Bässler. Charge transport in disordered organic photoconductors. *phys. stat. sol.*, 175:14–55, 1993.
- [3] D. Boudinet, M. Benwadih, S. Altazin, R. Gwoziecki, J. M. Verilhac, R. Coppards, G. Le Blevenec, I. Chartier, and G. Horowitz. Influence of the semi-conductor layer thickness on electrical performance of staggered n- and p-channel organic thin-film transistors. *Organic Electronics*, 11:291, 2010.
- [4] P. Lara Bullejos, J. A. Jimenez Tejada, F. M. Gomez-Campos, M. J. Deen, and O. Marinov. Evaluation of the charge density in the contact region of organic thin film transistors. *Journal of Applied Physics*, 106(9):094503, 2009.
- [5] P. Lara Bullejos, J. A. Jimenez Tejada, S. Rodriguez-Bolivar, M. J. Deen, and O. Marinov. Model for the injection of charge through the contacts of organic transistors. *Journal of Applied Physics*, 105(8):084516, 2009.
- [6] L. Bürgi, T. J. Richards, R. H. Friend, and H. Sirringhaus. Close look at charge carrier injection in polymer field-effect transistors. *Journal of Applied Physics*, 94:6129, 2003.
- [7] F. Buscemi, E. Piccinini, R. Brunetti, M. Rudan, and C. Jacoboni. Monte carlo simulation of charge transport in amorphous chalcogenides. *Journal of Applied Physics*, 106(10):103706, 2009.
- [8] Thorben Casper. Modeling and characterization of a metal-semiconductor interface in organic transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1167, 2011.
- [9] X. Y. Chen, H. Zhu, and S. D. Wang. Charge accumulation dynamics in organic thin film transistors. *Applied Physics Letters*, 97(24):243301, 2010.
- [10] B. Cobb, L. Wang, L. Dunn, and A. Dodabalapur. Velocity-field characteristics of polycrystalline pentacene field-effect transistors. *Journal of Applied Physics*, 107(12):124503, 2010.
- [11] V. Coropceanu, J. Cornil, D. da Silva Filho, Y. Olivier, R. Silbey, and J.-L. Bredas. Charge transport in organic semiconductors. *Chemical Reviews*, 107(4):926–952, 2007.

- [12] R. D. Deegan, O. Bakajin, F. Dupont T, G. Huber, S. R. Nagel, and T. A. Witten. Capillary flow as the cause of ring stains from dried liquid drops. *Nature*, 389, 1997.
- [13] Clément Demengeot. Modeling of printed organic thin film transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1101, 2010.
- [14] Wolfgang Demtröder. *Experimentalphysik 3*. Springer, 2000.
- [15] R. Dost, A. Das, and M. Grell. Time-of-flight mobility measurements in organic field-effect transistors. *Journal of Applied Physics*, 104(8):084519, 2008.
- [16] L. Dunn, D. Basu, L. Wang, and A. Dodabalapur. Organic field effect transistor mobility from transient response analysis. *Applied Physics Letters*, 88(6):063507, 2006.
- [17] C. Erlen, F. Brunetti, P. Lugli, M. Fiebig, S. Schiefer, and B. Nickel. Trapping effects in organic thin film transistors. In *Sixth IEEE Conference on Nanotechnology IEEE-NANO*, 2006.
- [18] C. Erlen and P. Lugli. Analytical model of trapping effects in organic thin-film transistors. *IEEE Transactions on electron devices*, 56, 2009.
- [19] M. Fadlallah, W. Benzarti, G. Billiot, W. Eccleston, and D. Barclay. Modeling and characterization of organic thin film transistors for circuit design. *Journal of Applied Physics*, 99(10):104504, 2006.
- [20] S. R. Forrest. Path to ubiquitous and low-cost organic electronic appliances on plastic. *Nature*, 428:911–918, 2004.
- [21] S. Ganz, S. Pankalla, M. Glesner, and E. Dörsam. Process dependent leakage currents in printed organic dielectric layers. In *Proceedings of the 9th International Conference on Organic Electronics ICOE*, 2013.
- [22] G. Gu, M. G. Kane, J. E. Doty, and A. H. Firester. Electron traps and hysteresis in pentacene-based organic thin-film transistors. *Applied Physics Letters*, 87:243512, 2005.
- [23] D. Gupta, M. Katiyar, and D. Gupta. An analysis of the difference in behavior of top and bottom contact organic thin film transistors using device simulation. *Organic Electronics*, 10:775–784, 2009.
- [24] I. Gutierrez Lezama and A. F. Morpurgo. Threshold voltage and space charge in organic transistors. *Physical Review Letters*, 103(6):066803, August 2009.
- [25] M. C. Gwinner, R. Di Pietro, Y. Vaynzof, K. Greenberg, P. Ho, R. Friend, and H. Sirringhaus. Doping of organic semiconductors using molybdenum trioxide: a quantitative time-dependent electrical and spectroscopic study. *Advanced Functional Materials*, 21(8):1432–1441, 2011.
- [26] T. Ha, D. Sparrowe, and A. Dodabalapur. Device architectures for improved amorphous polymer semiconductor thin film transistors. *Organic Electronics*, 12(11):1846–1851, November 2011.

- [27] T. J. Ha, P. Sonar, and A. Dodabalapur. Charge carrier velocity distributions in high mobility polymer field-effect transistors. *Applied Physics Letters*, 100(15):153302, 2012.
- [28] Behrang Homayoun Hamadani. *Electronic Charge injection and transport in organic field-effect transistors*. PhD thesis, Rice University Houston, 2007.
- [29] S. Hengen, S. Pankalla, D. Spiehl, E. Dörsam, M. Glesner, and J. Giehl. A new measurement standard for organic thin film transistors. *1st Winterschool of Organic Electronics, Book of Abstracts*, pages TB–1, 2010.
- [30] G. Hernandez-Sosa, N. Bornemann, I. Ringle, M. Agari, E. Dörsam, N. Mechau, and U. Lemmer. Rheological and drying considerations for uniformly gravure-printed layers: Towards large-area flexible organic light-emitting diodes. *Advanced Functional Materials*, 2013.
- [31] Frank Heyne. Numerical simulation of organic thin film transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1213, 2012.
- [32] J. J. M. van der Holst, F. W. A. van Oost, R. Coehoorn, and P. A. Bobbert. Monte carlo study of charge transport in organic sandwich-type single-carrier devices: Effects of coulomb interactions. *Physical Review B*, 83(8):085206, February 2011.
- [33] G. Horowitz. Interfaces in organic field-effect transistors. *Advanced Polymer Science*, 223:113–153, 2009.
- [34] G. Horowitz. Organic thin film transistors: From theory to real devices. *Journal of Materials Research*, 19:1946, 2004.
- [35] G. Horowitz. Organic thin film transistors: From theory to real devices. *Journal Materials Research*, 19:1946, 2004.
- [36] G. Horowitz and P. Delannoy. An analytical model for organic-based thin-film transistors. *Journal of Applied Physics*, 70(1):469–475, 1991.
- [37] H. Hu and G. Larson. Marangoni effect reverses coffee-ring depositions. *Journal of Physical Chemistry B*, 110:7090–7094, 2006.
- [38] D. K. Hwang, K. Lee, J. H. Kim, and S. Ima. Comparative studies on the stability of polymer versus SiO<sub>2</sub> gate dielectrics for pentacene thin-film transistors. *Applied Physics Letters*, 89:093507, 2006.
- [39] D. K. Hwang, M. S. Oh, J. M. Hwang, J. H. Kim, and S. Ima. Hysteresis mechanisms of pentacene thin-film transistors with polymer/oxide bilayer gate dielectrics. *Applied Physics Letters*, 92:013304, 2008.
- [40] Synopsys Inc. <http://www.synopsys.com/Tools/TCAD/DeviceSimulation/Pages/default.aspx>, 2012.
- [41] InnovationLab. Technical report, [www.innovationlab.de](http://www.innovationlab.de), 2013.

- [42] C. Jacoboni and P. Lugli. *The Monte Carlo Method for Semiconductor Device Simulation*. Springer-Verlag Wien New York, 1989.
- [43] M. Jaiswal and R. Menon. Polymer electronic materials: a review of charge transport. *Polymer International*, 55(12):1371–1384, 2006.
- [44] A. Klös. *Analytische Modellierung mehrdimensionaler Effekte in Submikon-MOSFETs*. PhD thesis, Technische Hochschule Darmstadt, 1997.
- [45] A. Klös and A. Kostka. A new analytical method of solving 2d poisson equation in mos devices applied to threshold voltage and. *Solid State Electronics*, 39:1761, 1996.
- [46] S. J. Konezny, L. J. Rothberg, M. E. Galvin, and D. L. Smith. The effects of energetic disorder and polydispersity in conjugation length on the efficiency of polymer-based light-emitting diodes. *Applied Physics Letters*, 97(14):143305, 2010.
- [47] Christian Küller. Dynamic modeling of printed organic thin film transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1149, 2011.
- [48] I. Kymissis. *Organic Field Effect Transistors - Theory, Fabrication and Characterization*. Springer Science+Business Media, 2009.
- [49] Z. M. Kovacs Vajna L. Colalongo, F. Romano. Organic thin film transistors: a dc model for circuit simulation. *Proceeding of the 34th European IEEE Solid-State Device Research conference ESSDERC*, page 417, 2004.
- [50] L. Li, S. Van Winckel, J. Genoe, and P. Heremans. Electric field-dependent charge transport in organic semiconductors. *Applied Physics Letters*, 95(15):153301, 2009.
- [51] M.-H. Lim, I.-Y. Lee, S.-G. Jeong, J. Lee, W.-W. Jung, H.-Y. Yu, G.-H. Kim, Y. Roh, and J.-H. Park. Leakage current reduction in pentacene-based thin film transistor using asymmetric source/drain electrodes. *Organic Electronics*, 13(6):1056–1059, June 2012.
- [52] M. M. Ling and Z. Bao. Thin film deposition, patterning, and printing in organic thin film transistors. *Chemistry of Materials*, 16(23):4824–4840, 2004.
- [53] C. Liu, Y. Li, M. V. Lee, A. Kumatani, and K. Tsukagoshi. Self-assembly of semiconductor-insulator interfaces in one-step spin-coating: a versatile approach for organic field-effect transistors. *Phys. Chem. Chem. Phys.*, 15:7917, 2013.
- [54] P. Mark and W. Helfrich. Space-charge-limited currents in organic crystals. *Journal of Applied Physics*, 33:205, 1962.
- [55] C. M. Maziar and M. S. Lundstrom. Monte carlo simulation of gaas schottky barrier behaviour. *Electronics Letters*, 23, 1987.
- [56] E. Meijer. *Charge transport in disordered organic field-effect transistors*. PhD thesis, Delft University of Technology, 2003.
- [57] E. J. Meijer, C. Tanase, P. W. M. Blom, E. van Veenendaal, B.-H. Huisman, D. M. de Leeuw, and T. M. Klapwijk. Switch-on voltage in disordered organic field-effect transistors. *Applied Physics Letters*, 80(20):3838–3840, 2002.

- [58] Dennis Noll. Leakage currents in printed organic thin film transistors. *Technische Universität Darmstadt, nicht veröffentlicht*, 2013.
- [59] E. Orgiu, S. Locci, B. Fraboni, E. Scavetta, P. Lugli, and A. Bonfiglio. Analysis of the hysteresis in organic thin-film transistors with polymeric gate dielectric. *Organic Electronics*, 12, 2011.
- [60] A. Ortiz-Conde, F. García-Sánchez, J. Liou, A. Cerdeira, M. Estrada, and Y. Yue. A review of recent mosfet threshold voltage extraction methods. *Microelectronics Reliability*, 42:583–596, 2002.
- [61] S. Pankalla, R. Ganesan, D. Spiehl, H.M. Sauer, E. Dörsam, and M. Glesner. Mass characterisation of organic transistors and monte-carlo circuit simulation. *Organic Electronics*, 14:676–681, 2013.
- [62] S. Pankalla, S. Ganz, S. Spiehl, E. Dörsam, and M. Gle. Organic thin film transistors for circuits in a foundry: process, charge transport phenomena and device library. *Proceedings of the SPIE Organic Photonics + Electronics*, 2013.
- [63] S. Pankalla and M. Glesner. An analytical expression of electric potential and field of organic thin film transistors. *Journal of Physics: Conference Series*, 345:012012, 2012.
- [64] S. Pankalla, S. Hengen, D. Spiehl, E. Dörsam, J. Giehl, and M. Glesner. Threshold voltage and mobility fluctuations of printed organic transistors. In *Proceedings of the 4th International Symposium on Flexible Organic Electronics ISFOE11, Thessaloniki*, page 97, 2011.
- [65] S. Pankalla, T. Hollstein, and M. Glesner. Design of a reference topology for printable transistors, capacitors and diodes used in organic circuits and applications. In *Proceedings of the Lope-C, Frankfurt*, 2010.
- [66] S. Pankalla, D. Spiehl, E. Dörsam, and M. Glesner. Variation of electrical parameters of organic thin film transistors as a function of semiconductors layer thickness. In *Book of Abstracts 2nd Winterschool of Organic Electronics, Heidelberg*, pages PB–1, 2012.
- [67] S. Pankalla, D. Spiehl, H. M. Sauer, E. Dörsam, and M. Glesner. Improved contact resistance and intra-die variation in organic thin film transistors. *Applied Physics Letters*, 102:173303, 2013.
- [68] P. V. Pesavento, K. P. Puntambekar, C. D. Frisbie, J. C. McKeen, and P. P. Ruden. Film and contact resistance in pentacene thin-film transistors: Dependence on film thickness, electrode geometry, and correlation with hole mobility. *Journal of Applied Physics*, 99(9):094504, 2006.
- [69] T. J. Richards and H. Sirringhaus. Analysis of the contact resistance in staggered, top-gate organic field-effect transistors. *Journal of Applied Physics*, 102(9):094510, 2007.
- [70] Stefan Röcker. Aufbau eines Parametermessplatzes zur Charakterisierung gedruckter organischer Schaltungen. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1116, 2010.

- [71] K. K. Ryu, I. Nausieda, D. D. He, A. I. Akinwande, V. Bulovic, and C. G. Sodini. Bias-stress effect in pentacene organic thin-film transistors. *IEEE Transactions on Electron Devices*, 57:1003–1008, 2010.
- [72] H. Schichman and D. Hodges. Modeling and simulation of insulated-gate field-effect transistor switching circuits. *Journal of Solid State Circuits*, page 286, 1968.
- [73] R. Schroeder, L. A. Majewski, and M. Grell. Improving organic transistor performance with schottky contacts. *Applied Physics Letters*, 84(6):1004–1006, 2004.
- [74] M. Schwarz, A. Klös, and B. Iñíguez. Analytical 2d model for the channel electric field in undoped schottky barrier double-gate mosfet. *MIXDES 2010, 17th International Conference Mixed Design of Integrated Circuits and Systems*, June 24-26, 2010, Wroclaw, Poland, 2010.
- [75] J. C. Scott. Metal-organic interface and charge injection in organic electronic devices. *Journal of Vacuum Science & Technology, A: Vacuum, Surfaces, and Films*, 21:521, 2003.
- [76] J. M. Shaw and P. F. Seidler. Organic electronics: Introduction. *IBM Journal of Research and Development*, 45, 2001.
- [77] M. Shen, S. Saikina, and M.-C. Chenga. Monte carlo modeling of spin injection through a schottky barrier and spin transport in a semiconductor quantum well. *Journal of Applied Phys*, 96:4319, 2004.
- [78] W. Shockley. A unipolar field-effect transistor. *Proceedings of the I.R.E*, page 1365, 1952.
- [79] M. Shur, M. Hack, and J. G. Shaw. A new analytic model for amorphous silicon thin-film transistors. *Journal of Applied Physics*, 66(7):3371–3380, 1989.
- [80] H. Sirringhaus. Device physics of solution-processed organic field-effect transistors. *Adv*, 17:2411–2425, 2005.
- [81] E. D. P. Smits, M. Simon, M. Coelle, A. Mank, P. Bobbert, P. W. M. Blom, B. de Boer, and D. de Leeuw. Unified description of potential profiles and electrical transport in unipolar and ambipolar organic field-effect transistors. *Physical Review B*, 76(12):125202, September 2007.
- [82] C. G. Sodini. Microelectronic devices and circuits. *Lecture MIT Spring 2007*, 2007.
- [83] D. Spiehl, S. Pankalla, M. Glesner, and E. Dörsam. Analysis of the mobility of printed organic p-channel transistors depending on the transistor geometry and orientation. *Journal of Physics: Conference Series*, 345:012013, 2012.
- [84] L. E. Stillwagon and R. G. Larson. Leveling of thin films over uneven substrates during spin coating. *Physics of Fluidsuids A*, 2:1937, 1990.
- [85] L. Sun, X. Y. Liu, M. Liu, G. Du, and R. Q. Han. Monte carlo simulation of schottky contact with direct tunnelling model. *Semiconductor Science and Technology*, 18(6):576, 2003.

- [86] S. M. Sze and Kwog. K. Ng. *Physics of Semiconductor Devices*. John Wiley & Sons, Inc., 2007.
- [87] D. M. Taylor. Space charges and traps in polymer electronics. *IEEE Transactions on Dielectrics and Electrical Insulation*, 13:1063–1073, 2006.
- [88] F. Torricelli, Z. M. Kovács-Vajna, and L. Colalongo. Charge-based otft model for circuit simulation. *IEEE Transactions on Electron Devices*, 56:20, 2009.
- [89] A. Tsumura, H. Koezuka, and T. Ando. Macromolecular electronic devices: Field-effect transistor with a polythiophene film. *Applied Physics Letters*, 49:1210–1212, 1986.
- [90] C. Ucurum, H. Goebel, F. A. Yildirim, W. Bauhofer, and W. Krautschneider. Hole trap related hysteresis in pentacene field-effect transistors. *Journal of Applied Physics*, 104:084501, 2008.
- [91] M. C. J. M. Vissenberg and M. Matters. Theory of the field-effect mobility in amorphous organic transistors. *Physical Review B*, 57(20):12964–12967, May 1998.
- [92] M. M. Voigt, A. Guite, D. Chung, R. U. A. Khan, A. J. Campbell, D. D. C. Bradley, F. Meng, J. H. G. Steinke, S. Tierney, I. McCulloch, H. Penxten, L. Lutsen, O. Douheret, J. Manca, U. Brokmann, K. Sönnichsen, D. Hülshberg, W. Bock, C. Barron, N. Blanckaert, S. Springer, J. Grupp, and A. Mosley. Polymer field-effect transistors fabricated by the sequential gravure printing of polythiophene, two insulator layers, and a metal ink gate. *Advanced Functional Materials*, 20:239–246, 2010.
- [93] E. Weber. *Electromagnetic fields*, volume Vol. 1. Wiley, 3rd ed. edition, 1950.
- [94] M. Weis. Gradual channel approximation models for organic field-effect transistors: The space-charge field effect. *Journal of Applied Physics*, 111(5):054506, 2012.
- [95] B. Winstead and U. Ravaioli. Simulation of schottky barrier mosfets with a coupled quantum injection/monte carlo technique. *IEEE Transactions on Electron Dev*, 47:1241, 2000.
- [96] U. Wolf. *Monte-Carlo Simulationen zu Injektion und Transport von Ladungsträgern in amorphen organischen Halbleitern*. PhD thesis, Phillips-Universität Marburg, 2000.
- [97] Y. Xu, T. Minari, K. Tsukagoshi, J. A. Chroboczek, and G. Ghibaudo. Direct evaluation of low-field mobility and access resistance in pentacene field-effect transistors. *Journal of Applied Physics*, 107(11):114507, 2010.
- [98] X. Y. Yuan, D.-M. Li, S. Yin, K. Gao, B. Cui, and D.-S. Liu. Effects of disorder on charge transport in semiconducting polymers. *Organic Electronics*, 13(10):2094 – 2103, 2012.
- [99] W. Zhang, J. Smith, R. Hamilton, M. Heeney, J. Kirkpatrick, K. Song, S. E. Watkins, T. Anthopoulos, and I. McCulloch. Systematic improvement in charge carrier mobility of air stable triarylamine copolymers. *Journal of the American Chemical Society*, 131:10814–10815, 2009.

- [100] S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw. Bias stress in organic thin-film transistors and logic gates. *Applied Physics Letters*, 79(8):1124 – 1126, 2001.
- [101] W. Bruetting, editor. *Physics of Organic Semiconducto*. Wiley-VCH, 2005.
- [102] R. C. Jaeger, editor. *Microelectronic Circuit Design*. McGraw-Hill, 2010.
- [103] H. Klauk, editor. *Organic Electronics - Materials, Manufacturing and Applications*. Wiley-VCH, 2008.
- [104] <http://www.silvaco.com/products/tcad/>, 2013.
- [105] *Cadence Verilog-AMS Language Reference*, 2006.



# Betreute studentische Arbeiten

## Masterarbeiten

Linhui Bao. Analytical and numerical simulations of organic thin film transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1132, 2011.

Clément Demengeot. Modeling of printed organic thin film transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1101, 2010.

Ramkumar Ganesan. Static modelling of printed organic field effect transistors (ofets). *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1123, 2010.

Chang Liu. Printed electronics modeling. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1121, 2011.

## Bachelorarbeiten

Thorben Casper. Modeling and characterization of a metal-semiconductor interface in organic transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1167, 2011.

Christian Küller. Dynamic modeling of printed organic thin film transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1149, 2011.

## Studienarbeiten

Frank Heyne. Numerical simulation of organic thin film transistors. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1213, 2012.

Katja Kowollik. Marktstudie Organische Elektronik. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1166, 2011.

Stefan Röcker. Aufbau eines Parametermessplatzes zur Charakterisierung gedruckter organischer Schaltungen. *Technische Universität Darmstadt, Institutsbibliothek Mikroelektronische Systeme*, 1116, 2010.

## Seminararbeiten

Alexander Bodem. Simulation of schottky barriers. *Technische Universität Darmstadt, nicht veröffentlicht*, 2011.

Vrushali Jedhe and Asad Saeed. Investigation of charge transport mechanisms. *Technische Universität Darmstadt, nicht veröffentlicht*, 2010.

Christian Küller and Sten Leima. Monte-carlo simulations of digital circuits based on organic thin-film transistors. *Technische Universität Darmstadt, nicht veröffentlicht*, 2012.

Alexander Lavado and Stefan Röcker. Investigation of contact resistance. *Technische Universität Darmstadt, nicht veröffentlicht*, 2010.

Dennis Noll. Leakage currents in printed organic thin film transistors. *Technische Universität Darmstadt, nicht veröffentlicht*, 2013.

Angran Yang and Jing Ning. Carrier-density and short channel effect dependent charge-carrier mobility in different materials. *Technische Universität Darmstadt, nicht veröffentlicht*, 2010.

## **Lebenslauf**

Der Lebenslauf ist in der Online-Version aus Gründen des Datenschutzes nicht enthalten.